

DOI: 10.19650/j.cnki.cjsi.J2311420

# 一种双 ADC 垂直同步采样结构及其误差校正\*

卫洋斌, 李浩, 孙晓平, 曹佳伟, 王志刚

(电子科技大学自动化工程学院 成都 611731)

**摘要:** 航空航天、机械、声学、装备制造等领域对检测仪表的观测动态指标要求极高,甚至超出现有商用高分辨力数模转换器件的极限,因此,本文拟建立一种双 ADC 垂直同步采样的机制,通过数据流拼合的方式达到总动态范围扩展的目的。在双 ADC 硬件平台中,针对不同采样支路差异化所导致的量化数据延时误差,提出了一种基于拉格朗日插值 Farrow 结构滤波器的误差校正方法。仿真及硬件实验表明,本文提出的双 ADC 垂直同步采样架构将实验对象的动态范围提高了 13.318 dB,同时本文提出的误差校正方法可以有效降低垂直同步采样通道之间的延时误差,进而使双 ADC 的动态范围扩展具备实用价值。

**关键词:** 垂直同步采样; Farrow 结构; 拉格朗日插值; 延时校正; 动态范围扩展

**中图分类号:** TH85 **文献标识码:** A **国家标准学科分类代码:** 510.50

## Dual-ADC vertical synchronous sampling structure and error correction

Wei Yangbin, Li Hao, Sun Xiaoping, Cao Jiawei, Wang Zhigang

(School of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

**Abstract:** The aerospace, mechanical, acoustic, and equipment manufacturing industries demand extremely high observation dynamic indicators for detection instruments, which even exceed the limits of existing commercially available high-resolution analog-to-digital converter devices. In this article, a dual-ADC vertical synchronous sampling mechanism is proposed to extend the total dynamic range through data stream splicing. A data correction method based on the Lagrange interpolation Farrow structure filter is introduced to address the quantization data delay error introduced by hardware differences between the acquisition ADC branches. Simulation and hardware experiments show that the proposed dual ADC vertical synchronous sampling architecture increases the dynamic range of the experimental object by 13.318 dB. Meanwhile, the proposed error correction method can effectively reduce the delay error between vertical synchronous sampling channels. Therefore, the dual ADC dynamic range expansion has the practical value.

**Keywords:** vertical synchronous sampling; farrow structure; Lagrange interpolation; delay correction; dynamic range extension

## 0 引言

在国防与航空航天、装备制造、机械和水声等众多领域,对被检测信号,如机场噪声信号、旋转机械、振动信号和水声信号实施精确测量是尤为重要<sup>[1-2]</sup>。这些场景的模拟信号不仅随时间而动态变化,而且往往具有极高的幅值动态变化范围,例如对水声信号的观测通常需要 120 dB 以上的观测能力。如何将其按照测试需求准确地进行调理、采集、分析和处理,是动态信号测试领域的主

要对象之一。

动态范围指标体现了系统能够测量或观测模拟信号幅值变化的最大范围,反映了测试系统本身对噪声、谐波的抑制能力。通常一个采集系统的动态范围取决于模数转换器 ADC 的有效分辨率数 (effective numbers of bits, ENOB),超出单片模拟数字转换器 (analog to digital converter, ADC) 测量范围的信号无法被系统测试。例如,目前一般商用的具有 24 位垂直分辨率的 ADC 器件,理论的动态范围可达 144 dB,但考虑偏移、增益、量化、时钟、孔径等误差的条件下,一般最大范围仅有 114 dB,大

致相当于 19 位 ENOB。另一方面,由于受半导体制程及校正处理等技术限制,ADC 器件的关键的分辨率与采样率指标呈反向相关的技术趋势,即分辨率位数提升则其采样率下降<sup>[3]</sup>。例如目前已有的 24 位 ADC 器件的采样率一般可达 500 kSa/s 左右,而 32 位 ADC 器件,如 TI 公司推出的 ADS1262 最高采样率为 38 kSa/s;国产山海半导体推出的 SHC6686 为 32 位 ADC 芯片,动态范围可达 130 dB,但采样率为 4 kSa/s,这对于通常需要 100 kHz 分析带宽的动态信号观测与分析任务还远远不够。

所以限于可获得器件指标的约束,在需要大带宽、大动态测试系统设计中,常采用多 ADC 的采集通道结构来突破速度和动态范围的瓶颈。丹麦 BRUEL KJAER 公司提出了一种在模拟通道中使用双片 ADC 垂直同步采样再经数据重组或拼接的技术来拓展动态范围<sup>[4]</sup>。北京东方振动和噪声技术研究所也提出了类似的利用两个  $\Sigma-\Delta$  型 ADC 来拓展动态范围的技术<sup>[5]</sup>。从这 2 个公司后续生产的产品性能来看,双 ADC 动态范围拓展技术能够在一定程度上提高单 ADC 采集通道的动态范围。

由于存在模拟通道、ADC 器件失配而引起的增益误差、偏置误差和时间误差,采集系统的无杂散动态范围会受到影响,从而无法完成高精度的信号重建。偏置和增益误差的主要来源包括不同 ADC 芯片实际存在的误差,以及各 ADC 之前的信号调理电路理论设计与实际实现之间存在容差;二者可以通过迭代算法完成误差校正,关于其算法细节本文不做讨论。针对延时误差,本文基于 Farrow 结构和 Lagrange 插值方法,设计了一种应用于多 ADC 垂直同步采样通道延时误差的校正方法,该方法可对模拟通道、ADC 采样延时误差进行有效校正,使后续的数据重建拼接更加准确,达到动态范围扩展的目的。本文首先给出了理论推导,然后根据理论展开设计,最后通过仿真及硬件实现,分析了此方法的可行性。

## 1 双 ADC 垂直同步采样误差分析

### 1.1 双 ADC 垂直同步采样架构

本文采用双 ADC 垂直同步采样架构对测试系统动态范围进行扩展,其结构如图 1 所示。

双 ADC 垂直同步采集方案将信号根据幅值大小划分为常规信号与特殊信号。常规信号是指幅值在 ADC 的线性工作区内的信号;特殊信号是指受当前量程下的通道调理影响,占用常规信号支路的 ADC 有效位数少,可能被噪声淹没从而无法被系统观测到的小信号。本设计采用额外一条采样支路,将常规支路 ADC 难以分辨的小信号放大,在不使用硬件开关切换量程的条件下增加系统对小信号的观测能力,提升系统的动态范围。动态范围扩展示意如图 2 所示。

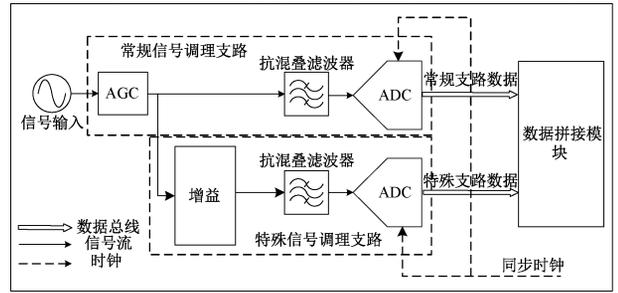


图 1 双 ADC 信号采集方案示意图

Fig. 1 The dual-ADC signal acquisition architecture

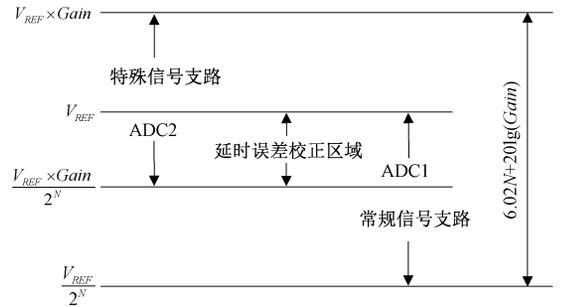


图 2 动态范围扩展示意图

Fig. 2 Dynamic range extension architecture

其中,  $V_{REF}$  是 ADC 测量参考电压,  $N$  为 ADC 位数,  $Gain$  为两信号采集支路的增益差,则两 ADC 数据拼接后的信号采集范围为  $V_{in} \in \left[ \frac{V_{REF}}{2^N}, V_{REF} \times Gain \right]$ , 从而数据拼接过后的采集范围为:

$$DR = 20\lg \frac{V_{in\max}}{V_{in\min}} = 20\lg \left( \frac{V_{REF} \times Gain}{V_{REF}/2^N} \right) = 20\lg 2^2 + 20\lg(Gain) = 6.02N + 20\lg(Gain) \quad (1)$$

但此时特殊采样通道的满幅输入范围受到了限制。在满足指标要求的前提下,常规信号支路可以保证调理通道整体的量程上限,特殊通道可完成各量程下极端信号的调理,可以提升系统对小信号的观测能力。理想情况下,在 ADC 前每 2 倍增益相当于测量分辨率增加 1 位<sup>[6]</sup>。若目标动态范围为 120 dB,单片 ADC 具有 100 dB 的动态范围,假设采样通道间调理具有 20 dB 的增益差,在理想情况下,仅需要两个 ADC 即可完成从 100 dB 到 120 dB 动态范围的扩展。

### 1.2 垂直同步采样架构的误差分析

#### 1) 增益误差与偏置误差

增益误差是指在把常规信号支路和特殊信号支路的偏置都调整到 0 电平后,两支路的理论增益比与实际增益比之间的差值;偏置误差是指常规信号通道和特殊信号通道将偏置调整至相同电平时,两个支路实际偏置之

间的差值。偏置和增益误差的主要来源都是各 ADC 之前的信号调理电路理论设计与实际实现之间存在容差。由于垂直同步采样得到两路增益不同的信号,在进行信号整合重构之前需完成增益和偏置误差的校正,否则重构波形会存在失真。

假设常规支路与特殊支路存在增益与偏置上的不同,  $X_1$  和  $X_2$  分别代表特殊支路和常规支路的采样值,  $A$ 、 $B$  分别为两支路的增益比和偏移补偿系数,则 2 支路采样值在理想情况下的关系为:

$$X_1 = AX_2 + B \quad (2)$$

其中,  $A$ 、 $B$  分别可以通过迭代算法设定数据的运算精度,进而不断逼近客观存在的实际数值<sup>[7]</sup>,最后得到满足精度要求的近似值来实现误差校正的目的。

设  $D$  为迭代速度,对于单极性信号,增益比和偏移补偿系数的第  $n+1$  次迭代分别可以通过下面公式进行迭代运算:

$$\begin{cases} A(n+1) = A(n) + \left( \frac{X_1(n) + A(n) \cdot X_2(n) - B(n)}{2X_2(n)} - A(n) \right) \cdot D \\ B(n+1) = B(n) + \left( \frac{X_1(n) - A(n) \cdot X_2(n) + B(n)}{2} - B(n) \right) \cdot D \end{cases} \quad (3)$$

通过迭代运算让  $A$  与  $B$  的值不断逼近真实的增益比与偏置误差。在实际情况中由于数据受到随机噪声的影响,  $A$  与  $B$  的值不是一个固定不变的常值。它会围绕某个值波动,可以通过设置  $D$  的值来调节迭代速度,迭代过程中,距离真值越近,公式中括号内的值就越接近于 0;可将  $X_1(i) - [A(i) \cdot X_2(i) + B(i)]$  作为判断精度是否达到要求的依据,达到精度要求后可以终止迭代运算。

对于有正负之分的双极性信号而言,迭代过程需引入几个辅助计算参数。特殊支路的正向最大值作为正基值  $X_p$ ,负向最大值  $X_N$  作负基值、正幅度辅助值  $P$ 、负幅度辅助值  $N$ 。 $P$  与  $N$  为迭代过程中两个辅助值用来迭代收敛时计算出  $A$  与  $B$  的值。 $P$  与  $N$  的迭代公式为:

$$\begin{cases} P(n+1) = P(n) + [X_1(n) + (X_p - X_2(n)) \cdot A(n) + B(n) - P(n)] \cdot D \\ N(n+1) = N(n) + [X_1(n) + (X_N - X_2(n)) \cdot A(n) + B(n) - N(n)] \cdot D \end{cases} \quad (4)$$

根据  $P$  与  $N$  的迭代公式求解方程得到  $A$  与  $B$  的计算公式为:

$$\begin{cases} A = \frac{P - N}{X_p - X_N} \\ B = \frac{X_p \cdot N - X_N \cdot P}{2(X_p - X_N)} \end{cases} \quad (5)$$

通过迭代算法原理可以对偏置和增益误差进行有效校正,其具体实现流程本文不做细节探讨。

## 2) 延时误差

延时误差是指实际采样时钟信号与理想采样时钟信号的时间差导致采样的时间非均匀;对于垂直同步采样系统而言,主要是各个 ADC 同步采样时钟之间的差值,主要是由器件的不匹配和时钟电路的布线造成的,也可能是由电源信号干扰造成的影响。延时误差在时域上会造成采样数据的幅值畸变;频域上相当于对被采集信号进行了不需要的相位调制,造成信号频谱增宽,或是造成寄生谱峰,导致采样波形的非线性失真。

图 3 展现了由于模拟通道导致信号延迟所带来的时间误差。其中 A 点为常规信号支路采样点, B 点为特殊信号支路理论采样点, C 点为延时信号实际采样点, D 点为延时信号上的等效理论采样点。由于 A 点和 B 点幅值相差固定增益 (Gain) 倍,但由于存在延时导致实际采样点 C 幅值小于 B,进行数据拼接后会造信号垂直方向的非均匀,产生多余的频谱,使动态范围的扩展不理想。

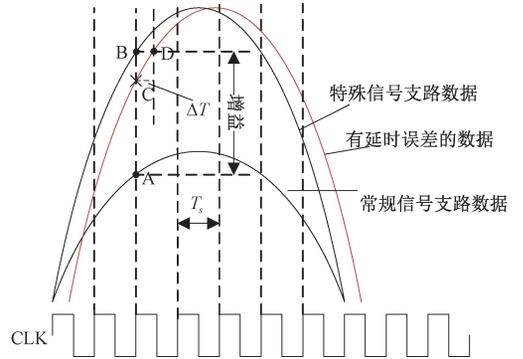


图 3 模拟信号延迟导致延时误差

Fig. 3 Delay error caused by analog signal delay

通过前文分析可以得到,直接通过时域计算的方式获得垂直采样系统中通道间的延时误差较为困难,所以本文采用频域计算的方式得到该误差。

在测量时,通过使用标准信号源在两通道中同时输入标准频点的信号,此时两通道信号具有相同的相位;标准频点信号分别经过两通道采集后,利用该频点 FFT 的数据得到对应的相位,通过计算两通道数据在同一频点的相位差就可以对两通道的延时误差进行估计<sup>[8]</sup>。图 4 为通道间延时误差测量方法示意图。

根据信号时频域关系,令两通道之间的相位差为  $\Delta\varphi$ ,输入的标准信号频率为  $f_0$ ,系统采样率为  $f_s$ ,则当前频点的延时  $\Delta T_k$  可以表示为:

$$\Delta T_k = \frac{f_s}{f_0} \Delta\varphi \quad (6)$$

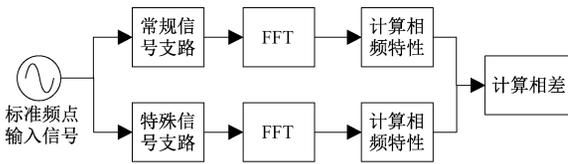


图4 通道间延时误差测量方法示意

Fig. 4 Diagram of measurement method for inter-channel delay error

针对由上述方法获得的延时误差,可通过滤波器对其进行有效校正。采集数据经过迭代算法校正完成通道间的偏置和增益误差后,假设系统以常规信号支路为参考,则特殊信号支路存在时间非均匀误差  $\Delta T_k$ , 特殊信号支路的输入信号为  $x(t - \Delta T_k)$ 。设输入信号  $x(t)$  的傅里叶变换为  $X(j\Omega)$ , 特殊信号支路数据经采样间隔为  $T_s$  采样过后,序列的数字频谱可以表示为:

$$Y(j\Omega) = \frac{1}{T_s} \sum_{n=-\infty}^{+\infty} X \left[ j \left( \Omega - n \frac{2\pi}{T_s} \right) \right] e^{-j(\Omega - n \frac{2\pi}{T_s}) \Delta T_k} \quad (7)$$

设输入为幅值为  $M$ , 角频率为  $\Omega_0$  的正弦信号, 则其傅里叶变换为:

$$X(j\Omega) = \frac{M\pi}{j} [\delta(\Omega - \Omega_0) - \delta(\Omega + \Omega_0)] \quad (8)$$

结合式(6)和(7), 特殊信号支路中输出信号的傅里叶变换可以表示为:

$$Y(j\Omega) = \frac{1}{T_s} \sum_{n=-\infty}^{+\infty} \left\{ \frac{M\pi}{j} [\delta(\Omega - \Omega_0 - n\Omega_s) - \delta(\Omega + \Omega_0 - n\Omega_s)] \right\} e^{-j\omega_0 \Delta T_k} \quad (9)$$

其中,  $\Omega_s = 2\pi/T_s$ ;  $\bar{\omega}_0 = \Omega_0 T_s$  为数字角频率;  $\Delta T_k = \Delta T_k/T_s$  为相对时间误差。由式(9)可知, 若是要从非均匀信号恢复均匀采样频谱, 需对常规信号支路使用全通滤波器  $e^{-j\omega_0 \Delta T_k}$  校正时间误差  $\Delta T_k$ , 使得两支路的延时相同, 数据拼合后才能良好的重建信号。

### 1.3 垂直同步采样的信号拼合重构

垂直同步采样方案的采样结果为两 ADC 支路采集的两路数据, 由于经过两条支路的调理使其具有不同的增益, 被同一款 ADC 采集的两路数据具有了不同的量化精度。以 24 bit 的 ADC 为例, 低 5 bit 数据被噪声影响为 Noise-bits; 高 19 bit 若非空即为有效数据 Useful-bits, 若为空则是空数据位 Empty-bits。其中 Useful-bits 为有效位数, 这部分信号幅值能准确代表真实的信号幅值, 可将其还原为真实电压。

由于常规信号支路和特殊信号支路的增益不同, 导致相同 ADC 采样结果的量化精度 LSB 不同, 理论上两倍增益差可增加一位分辨率。特殊支路使小信号具有更大的幅值, 占有更多 Useful-bits, 减少了 Empty-bits; 而常规

支路信号占有的 Useful-bits 较少。本文通过对两 ADC 量程进行幅度划分<sup>[9]</sup>, 在不同的幅度区域中分别选取两 ADC 支路的数据进行拼合重构, 充分利用特殊支路更多的 Useful-bits 数据实现动态范围的扩展。图 5 为幅度区域划分示意图。

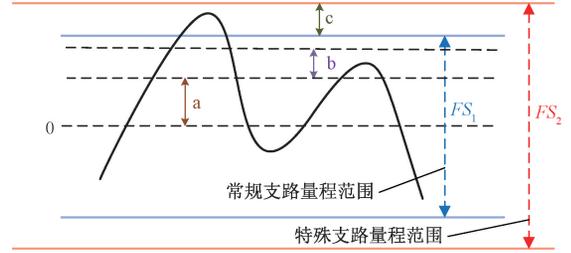


图5 幅度区域划分示意图

Fig. 5 Diagram of amplitude region division

如图 5 所示信号在整个量程内被分为了 a、b、c 3 个幅值区域。在数据拼合时, 区域 a 内使用特殊信号支路采集的数据, 区域 c 内使用常规通道采集的数据, 而区域 b 内使用两支路数据平均的结果, 3 个区域的分界点都在高增益通道量程  $FS_1$  内。根据信号输入幅值的不同进行数据的切换, 可使通道具备同时采集大信号和微小信号的能力并在单量程下提高小信号的信噪比<sup>[10]</sup>。

如图 6 所示,  $CX_1$  表示常规支路信号经过增益、偏置和延时误差校正的量化精度一致化处理后的数据。如果两支路的增益比系数为  $A_1$ , 则其有效位数相差  $\log_2 A_1$  bits。需将常规支路的量化精度与高增益通道下更为精确的量化精度进行统一, 即乘以两支路间的增益比系数  $A_1$ , 使有效信号的高位对齐, 让两通道的各个 bit 信号都处于同一量化精度下。量化精度一致化会导致噪声信号位数不同, 对于特殊信号支路只有 5 位噪声信号, 而常规信号支路的噪声位宽 Noise-bits 则是扩展到了  $5 + \log_2 A_1$ , 特殊信号支路的整个数据位宽为  $[23:0]$ , 常规信号支路的整个数据位宽为  $[23 + \log_2 A_1 : \log_2 A_1]$ 。

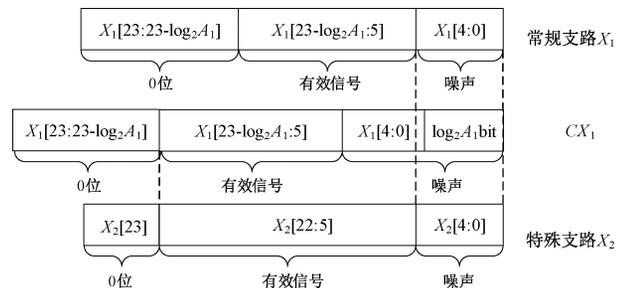


图6 量化精度一致化示意图

Fig. 6 Diagram of uniform quantization

测量小信号时特殊信号支路的有效位数为  $X_2[22:5]$ , 相比于常规支路有更多的有效位数, 在单量

程下可以提高小信号的信噪比。根据实际的增益比系数  $A_1$ , 常规信号支路采样值  $X_1$  经过量化精度一致化后占有的有效位数为  $Y[23 + \log_2 A_1 : \log_2 A_1]$ , 特殊信号支路采样值  $X_2$  占有的位数为  $Y[23 : 0]$ , 最终数据  $Y$  的低位使用  $X_2$  的数据, 高位使用  $X_1$  的数据保证量程上限, 拼合示意方式如图 7 所示。

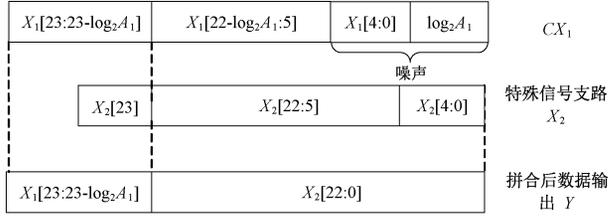


图 7 数据拼合示意图

Fig. 7 Diagram of data splicing

## 2 垂直同步采样系统误差校正

### 2.1 全通滤波器延时原理

根据式(9)可知, 只需求得各信号支路的  $\Delta t_k$ , 就可以利用理想频率响应为  $e^{-j\omega_0 \Delta t_k}$  的全通滤波器实现对误差的校正。根据非整周期延时滤波器理论可知:

假设输入信号是一个带限的基带信号, 一个固定延时可被近似的看为具有统一幅度和固定延时的一个理想  $D$  离散时间的具有线性相位的全通滤波器, 相应的单位脉冲响应如式(10)所示。

$$H_D = \frac{Y(z)}{X(z)} = \frac{z^{-d} X(z)}{X(z)} = z^{-d} h_D =$$

$$\frac{1}{2\pi} \int_{-\pi}^{\pi} H_{id}(e^{j\omega}) e^{j\omega n} d\omega = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{-j\omega d} e^{j\omega n} d\omega = \text{sinc}(n - D), \quad -\infty < n < \infty \quad (10)$$

理想情况下的非整周期延时滤波器的单位脉冲响应是无限长且非因果的, 不能在 FPGA 中实现。因此需要设计一个  $N$  阶的有限长 FIR 滤波器对理想非整周期延时进行近似估计, 并使频域均方误差最小, 频域均方误差如式(11)所示。

$$E = \sum_{i=1}^M [ |H(e^{j\omega_i})| - |H_D(e^{j\omega_i})| ]^2 \quad (11)$$

其中,  $\omega_i$  代表各个离散的频点, 由式(11)达到最小作为近似准则, 可以得到其系统函数如式(12)所示。

$$H_d(z) = \sum_{n=0}^N h_d(n) z^{-n} \quad (12)$$

### 2.2 Farrow 滤波器设计

Farrow 结构的全通滤波器相较于直接形式的 FIR 全通滤波器具有延时可调的优势<sup>[11]</sup>, 表达式为:

$$h_d(n) \approx \sum_{m=0}^N c_m(n) d^m, \quad n = 0, 1, 2, \dots, N \quad (13)$$

其结构如图 8 所示。

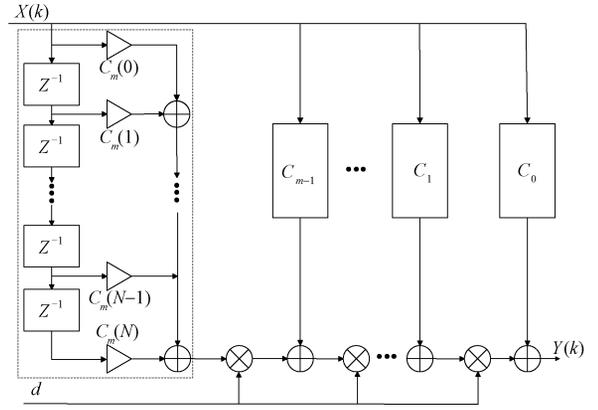


图 8 Farrow 滤波器结构

Fig. 8 Farrow filter structure

这种结构可以预先求得小数时延滤波器的系数, 再将每个滤波器的系数用多项式逼近, 将  $N$  阶的滤波器分解为  $N$  个  $p + 1$  阶的子滤波器<sup>[12-15]</sup>。本设计根据最大平坦度的要求选择基于 Lagrange 插值的方法来获得滤波器系数, 它可以使频域均方误差  $E$  在某个着重探讨的频率点  $\bar{\omega}_i$  上最大程度的达到平坦, 这样在频率附近的系统函数对理想传递函数的逼近程度最好。其中  $C_m(z)$  是 Farrow 中各个逼近滤波器的系数,  $d$  表示分数延时。此时滤波器的系统函数表达式为:

$$H_d(z) \approx \sum_{n=0}^N \sum_{m=0}^p c_m(n) d^m z^{-n} = \sum_{m=0}^p \left[ \sum_{n=0}^N c_m(n) z^{-n} \right] d^m = \sum_{m=0}^p C_m(z) d^m \quad (14)$$

### 2.3 Farrow 滤波器实现

根据前文介绍的 Farrow 滤波器结构进行相应的滤波器逻辑设计, 本文采用了 7 阶 Farrow 滤波器进行延时校正, 其运算的流程如图 9 所示。

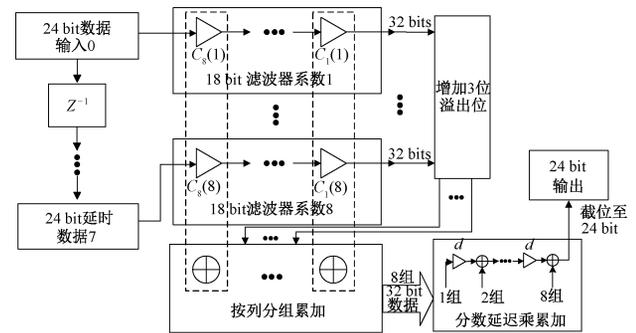


图 9 Farrow 滤波器 FPGA 运算框图

Fig. 9 Farrow filter FPGA operation diagram

首先将输入数据按时钟延时, 得到相差一个时钟节拍的 8 路数据。接着将 8 路数据与 7 阶 Farrow 滤波器的

各个系数相乘,由于部分滤波器系数为0,最终得到54个相乘后的数据,将相乘后的数据按照Farrow结构分组相加得到8路FIR滤波数据输出,再将8路输出与相应的小数延时进行7次乘法运算得到最终的小数延时滤波结果,最终滤波数据输出与滤波输入有41拍的延迟。

表1 7阶Farrow滤波器量化系数

Table 1 Quantization coefficients for a seventh-order Farrow filter

0	1	2	3	4	5	6	7	8
1	-26	184	-184	-904	1 455	734	-1 245	0
2	183	-1 088	-367	10 918	-12 924	-9 830	13 107	0
3	-550	2 726	4 915	-35 494	8 742	98 304	-78 643	0
4	904	3 644	-12 740	50 974	44 604	-178 402	-32 768	131 072
5	-904	2 726	15 480	-35 494	-80 098	98 304	131 072	0
6	550	-1 087	-9 830	10 918	48 601	-9 830	-39 321	0
7	-183	184	3 093	-904	-11 652	734	8 742	0
8	26	0	-367	0	1 271	0	-931	0

图9中滤波器系数分别对应表1中的每一行的8个滤波器系数。乘法运算过后,将各个数据重新组合按列相加后得到8路FIR滤波输出,将其截位至32 bit进行后续运算,在进行分组相加时数据经过了最多8次的相加,为了防止数据溢出增加3 bit的防溢出位数。完成分组相加后将数据再截位至32 bit继续进行数据的小数延时乘法运算。由于Farrow滤波器不改变信号幅值,因此将最终的滤波结果截位至与输入相同的24 bit。

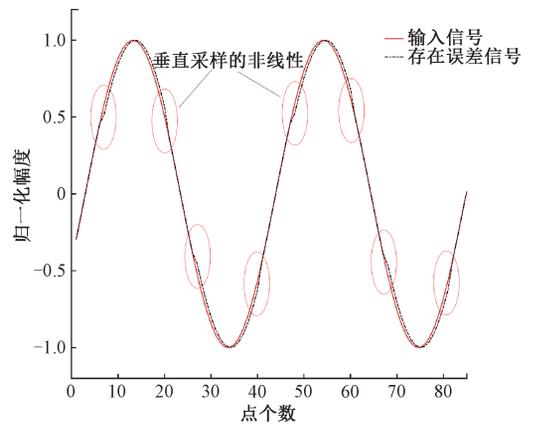
### 3 校正仿真及验证

#### 3.1 仿真验证

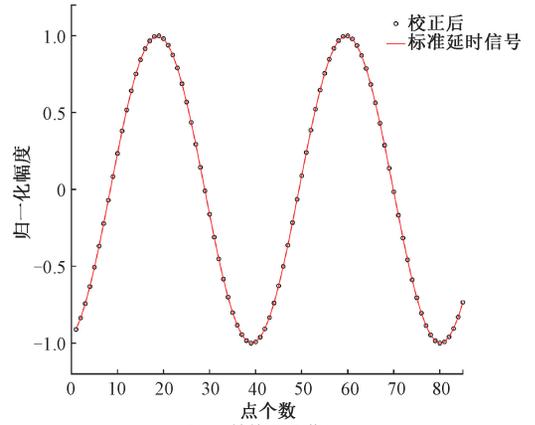
由于Farrow滤波器的带宽和群延时特性和阶数相关,滤波器的阶数越高其带宽越高,群延时特性越好。但阶数越高的滤波器,在FPGA中实现所消耗的资源越多。所以,基于实现、通带幅度平坦度与群延时特性的综合考虑,本文选取了7阶Farrow滤波器进行相位校正的MATLAB实验仿真。仿真生成两路频率12.8 kHz采样,由采样率的关系分析得到产生0.5个点的小数时延的相移为0.076 699。使用两个Farrow滤波器分别对两路数据做延时,其中一路滤波器可以设置微小延时起补偿作用,选取信号归一化幅值 $\pm 0.5$ 处作为拼接的阈值,对数据进行拼接。

图10(a)实线为输入信号,虚线为有延时误差信号经过拼接后的输出,圈中标明了由于延时误差导致数据拼接后产生垂直非线性点,可以看出由于延时误差的存在,输出信号时域波形产生了明显的失真。图10(b)中实

滤波器系数与小数延时的量化位数定为18 bit有符号数,其中17 bit表示滤波器系数的小数部分,最高位表示符号位,精度相当于小数点后5位,量化时将系数与小数延时扩大 $2^{17}$ 即可,量化后的Farrow滤波器系数如表1所示。



(a) 存在误差的信号  
(a) Signal with errors



(b) 误差校正后信号  
(b) Signal after error correction

图10 校正时域对比图

Fig. 10 Time-domain comparison diagram during correction

线表示标准正弦信号用于对比,圈线表示了经过 Lagrange 插值设计的滤波器延时校正并经过数据拼合后的输出,由图可看出两者重合,表示校正滤波将延时误差进行了良好的修正,使得波形畸变得以改善。

为进一步验证该方法对数据拼合的校正情况,输入了二路幅值相同,信噪比为 100 dB 的正弦信号,其频率为 12.8 kHz。将校正数据与理想相差信号在 1/2 幅值处进行拼合,小于 1/2 幅值数据使用理想相位差数据,大于 1/2 幅值使用校正数据,同时也使用未经校正的数据拼合作为对比,得到的拼合后的频谱如图 11 所示。

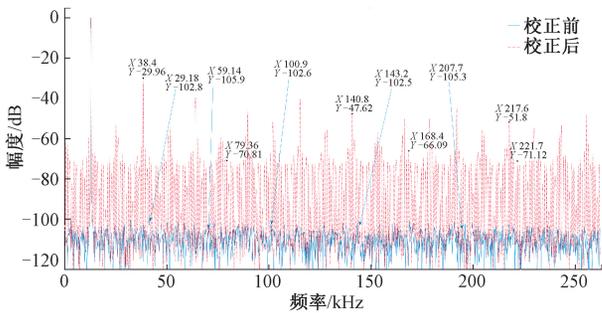


图 11 校正频域对比图

Fig. 11 Frequency-domain comparison diagram during correction

图 11 中实线表示经过校正后的数据输出,虚线表示未经过校正的数据输出。通过对比可以发现,由于延时误差的存在,导致输出信号中产生了大量的误差频谱,其大部分幅值处于  $-70$  dB 左右,尖峰处幅值最高位  $-29.96$  dB。经延时误差校正过后,底噪下降至  $-100$  dB 左右,校正过后误差频谱明显得到消除,延时误差校正效果显著。

### 3.2 实验验证

本实验基于双 ADC 垂直同步采集架构的动态信号分析仪 (DSA) 设计。该 DSA 采用两片量化位数为 24 的商用 ADC 器件,其中单片 ADC 实际信噪比可以达到 110 dB,采样率为 524.288 kSPS,通过动态范围扩展可以达到 120 dB。结合动态信号分析仪具有的频谱分析功能,上位机可以测量信号在某一频点的相位差,根据测得的相位差来对两片 ADC 的延时进行估计得出滤波器系数。

测试时首先单独使用常规支路分别测量大信号和小信号的动态范围得到单个 ADC 的动态范围,然后采用双 ADC 采样模式对小信号进行测量,最后将两个信号进行对比判断动态范围是否得到扩展。

对常规通道采样信号进行频谱分析。在常规通道 9 dBV<sub>rms</sub> 档位下,利用音频分析仪 APx500 输出幅值 1 V<sub>pk</sub> ( $-3$  dBV<sub>rms</sub>),频率为 4 096 Hz 的正弦信号。为了更好的

分析信号的底噪,使用了 64 次 RMS 平均,利用了 RMS 平均展示信号统计特性的优势。以图 12 为例进行说明: 1) 将测试平台的 FFT 分析带宽调节至全带宽 102.4 kHz,谱线数为 3 200 线; 2) 设置常规信号支路在全带宽分析模式和 9 dBV<sub>rms</sub> 档位下; 3) 由图 12 可知,直接采集数据的噪底为  $-98.428$  dBV<sub>pk</sub>,最大输入信号为 9 dBV<sub>rms</sub> (相应为 12.727 9 dBV<sub>pk</sub>),所以该档位具有  $12.727 9 + 98.428 = 111.155$  dB 的动态范围。

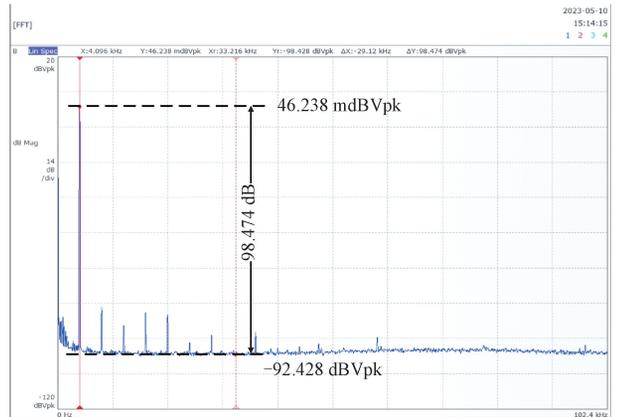


图 12 常规增益动态范围测试

Fig. 12 Conventional gain dynamic range test

在使用常规增益通道进行小信号测量时,保持通道档位不变,信号源输出幅值 10 mV<sub>pk</sub> ( $-43$  dBV<sub>rms</sub>),频率为 4 096 Hz 的正弦信号。此时在相同的通道配置下进行小信号测试,如图 13 所示,此时采集得到的信号底噪与大信号测试相比几乎未发生变化为  $-98.428$  dBV<sub>pk</sub>,而信号幅值减小为  $-39.828$  dBV<sub>pk</sub> 信号幅值与底噪间差值为 58.6 dB。



图 13 常规增益通道小信号测试

Fig. 13 Conventional gain channel small signal test

保持通道档位不变,使用仪器高动态模式通过特殊信号支路扩展小信号的动态范围。信号源输出幅值 10 mV<sub>pk</sub> ( $-43$  dBV<sub>rms</sub>),频率为 4 096 Hz 的正弦信号。保

持其他配置不变,使用仪器的双通道采集模式,如图 14 所示,此时采集得到的信号底噪下降为  $-110.59 \text{ dBV}_{\text{pk}}$ , 测量得信号幅值为  $-39.823 \text{ dBV}_{\text{pk}}$ , 幅值与底噪间的差值相比常规增益通道测量提升为  $70.767 \text{ dB}$ , 针对小信号此时底噪相对于常规信号支路降低了  $12.162 \text{ dB}$ , 提升了系统对小信号的测试能力。

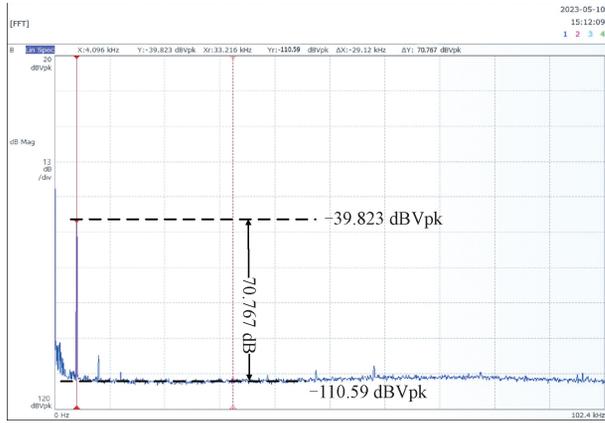


图 14 高动态模式  $9 \text{ dBV}_{\text{rms}}$  档位测量小信号

Fig. 14 Measurement of small signals in high-dynamic mode with a range of  $9 \text{ dBV}_{\text{rms}}$

在仪器的该档位下,系统可输入的最大信号幅值为  $4 \text{ V}_{\text{pk}}$  ( $9 \text{ dBV}_{\text{rms}}$ ), 而系统测试  $10 \text{ mV}_{\text{pk}}$  ( $-43 \text{ dBV}_{\text{rms}}$ ) 时的底噪 RMS 均值为  $-110.59 \text{ dBV}_{\text{pk}}$ 。如图 14 所示,在  $9 \text{ dBV}_{\text{rms}}$  档位下动态信号分析仪测试信号的动态范围为  $123.318 \text{ dB}$ 。相较于单片 ADC 的  $110 \text{ dB}$  动态范围,本文提出的双 ADC 垂直同步采集系统经过延时校正后动态范围扩展了  $13.318 \text{ dB}$ 。

## 4 结 论

为克服由于双 ADC 架构采集通道对采集数据造成的延时误差,达到对单片 ADC 进行扩展动态范围的目的,本文设计了一种基于 Farrow 滤波器的小数延时误差的校正方法,利用 Farrow 结构滤波器的校正简便性、较高可行性、可 FPGA 实现等优点,使得经过校正的信号无杂散动态范围得到提高。通过仿真实验进行验证,结果表明,该方法能够对双 ADC 垂直同步采集系统数据的延时误差进行补偿,同时也保证了滤波器在延时通带内幅度的平坦度和群延时的平坦度,对单 ADC 的动态范围的扩展有良好的作用。通过实验平台验证,该方法对 DSA 中垂直同步采集通道延时误差校正有良好效果,对动态范围的扩展有良好的效果。虽然本文所述的延时校正方法存在着一些不足,但是本文为垂直同步采集系统的延时校正提供了一种快速便捷且高效的方法,对信号采集系统的动态范围扩展具有重要的意义。

## 参考文献

- [1] ZHANG D, LI J, WEI X, et al. Research on dynamic test of hyper-velocity impact penetration acceleration signal[J]. IEEE Access, 2020, 8: 194879-194893.
- [2] YANG G, LIU X R. Study on method of bearing fault detection based on vibration signal analysis [J]. Engineering Letters, 2023, 31(3): 92-94.
- [3] 滕云田, 胡星星, 王喜珍, 等. 用多通道 AD 分级采集扩展地震数据采集器的动态范围[J]. 地球物理学报, 2016, 59(4): 1435-1445.  
TENG Y T, HU X X, WANG X ZH, et al. Expanding the dynamic range of seismic data collectors using multi-channel AD hierarchical acquisition [J] Journal of Geophysics, 2016, 59(4): 1435-1445.
- [4] EDMUND M S, ANIRUDDHA S. Multi-path analog front end and analog-to-digital converter for a signal processing system; US009071268B1[P]. Jun. 30, 2015.
- [5] JAMES Q Z, PALO A. Cross-path phase calibration for high dynamic range data acquisition; US009341503B2[P]. May. 17, 2016.
- [6] 马晨. 多通道高动态范围数据采集系统的研究与设计[D]. 廊坊: 北华航天工业学院, 2020.  
MA CH. Research and design of a multichannel high dynamic range data acquisition system [D]. Langfang: North China Institute of Aerospace Technology, 2020.
- [7] 雍龙泉. 对迭代法收敛阶的深入探讨[J]. 高等数学研究, 2022, 25(3): 69-71.  
YONG L Q. An in-depth exploration of the convergence order of iterative methods [J]. Research on Advanced Mathematics, 2022, 25(3): 69-71.
- [8] 杨丽. 一种基于傅立叶变换的时延测量方法及应用[J]. 通信技术, 2019, 52(9): 2167-2171.  
YANG L. A time delay measurement method based on fourier transform and its application [J] Communication Technology, 2019, 52(9): 2167-2171.
- [9] ZHUGE J Q, TANG Z, CHEN L. Cross-path phase calibration for high dynamic range data acquisition; US009341503B2[P]. 2016-05-17.
- [10] EDMUND M S, ANIRUDDHA S. Multi-path analog front end and analog-to-digital converter for a signal processing system; US009071268B1[P]. 2015-07-30.
- [11] 黄伟, 周其超, 陶存炳. 基于拉格朗日插值的分数延时滤波器研究[J]. 舰船电子对抗, 2018, 41(5): 74-77.  
HUANG W, ZHOU Q CH, TAO C B. Research on fractional delay filters based on lagrange interpolation [J]. Ship Electronic Countermeasures, 2018, 41(5): 74-77.
- [12] TORFS H L G, KAZAZ T, BAUWELINCK J, et al.

Farrow structured variable fractional delay lagrange filters with improved midpoint response [ C ]. 2017 40th International Conference on Telecommunications and Signal Processing ( TSP ), 2017:506-509.

- [ 13 ] AMIR E, HAKAN J. A method for the design of Farrow-structure based variable fractional-delay FIR filters [ J ]. Signal Processing, 2013, 93( 5 ): 1341-1348.
- [ 14 ] 王洋. 大范围高精度自适应时延估计方法及实现技术 [ D ]. 北京:北京理工大学, 2015.  
Wang Yang. Study and implementation of adaptive time-delay estimation algorithm with high precision for large-range time-varying delay [ D ]. Beijing: Beijing University of Technology, 2015.
- [ 15 ] 张辉, 凌元, 孙健. 基于 Farrow 结构的分数延时滤波器 FPGA 设计与实现 [ J ]. 信息记录材料, 2023, 24( 5 ): 108-110, 113.  
ZHANG H, LING Y, SUN J. FPGA Design and implementation of fractional delay filter based on Farrow structure [ J ]. Information Recording Materials, 2023, 24( 5 ): 108-110, 113.

## 作者简介



卫洋斌, 2020 年于哈尔滨理工大学获得学士学位, 现于电子科技大学自动化工程学院攻读硕士学位, 主要研究方向为通信测试技术。

E-mail: disco\_elysium1998@163.com

**Wei Yangbin** received his B.Sc. degree from Harbin University of Science and Technology in 2020. He is

currently pursuing his M. Sc. degree at University of Electronic Science and Technology of China ( UESTC ). His main research interest is communication test technology.



**李浩** ( 通信作者 ), 2014 年于中北大学获得学士学位, 2020 年于电子科技大学获得博士学位, 现为电子科技大学自动化工程学院助理研究员, 主要研究方向为通信测试技术。

E-mail: haoli@uestc.edu.cn

**Li Hao** ( Corresponding author ) received his B.Sc. degree from North University of China in 2014 and Ph. D. degree from University of Electronic Science and Technology of China ( UESTC ) in 2020. He is currently a research assistant in the School of Automation Engineering at UESTC. His main research interest is communication test technology.



**曹佳伟**, 分别于 2016 年和 2019 年在电子科技大学获得学士和硕士学位, 现于电子科技大学自动化工程学院攻读博士学位, 主要研究方向为高速 ADC、数字滤波器设计和数字信号处理。

E-mail: joe\_gavin@163.com

**Cao Jiawei** received his B.Sc. degree and M.Sc. degree both from University of Electronic Science and Technology of China ( UESTC ) in 2016 and 2019, respectively. He is currently pursuing his Ph. D. degree at UESTC. His main research interests include high-speed ADCs, digital filter design, and digital signal processing.