

DOI: 10.19650/j.cnki.cjsi.J2412735

基于机器视觉的芯片缺陷检测研究进展*

胡志强, 吴一全

(南京航空航天大学电子信息工程学院 南京 211106)

摘要: 半导体芯片作为集成电路的重要组成部分,对其质量要求越来越高,因芯片在小型化、高密度的制造过程中产生缺陷,进而影响了芯片的性能和寿命。因此,缺陷的检测与识别对芯片可靠性的提升十分重要。综述了近10年来国内外基于机器视觉的芯片缺陷检测方法的研究进展。首先介绍了芯片的制造流程以及当前主流的芯片封装技术。然后概述了用于芯片缺陷成像的主流无损检测技术,主要包括光学成像、声学成像、红外热成像、电磁成像与X射线成像等技术。接着分别重点阐述了基于传统技术和基于深度学习的芯片表面的缺陷检测方法。随后按照缺陷部位比较分析了芯片封装体的缺陷检测方法。最后总结芯片缺陷检测当前存在的问题,对未来的研究方向进行了展望。

关键词: 半导体芯片; 缺陷检测; 芯片封装; 机器视觉; 深度学习; 芯片缺陷数据集

中图分类号: TP391.41 TN305 TH89 **文献标识码:** A **国家标准学科分类代码:** 520.20

Research progress in chip defect detection based on machine vision

Hu Zhiqiang, Wu Yiquan

(College of Electronic and Information Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

Abstract: As a critical element of integrated circuits, semiconductor chips now demand increasingly higher quality standards. During the miniaturization and high-density manufacturing processes, chips are prone to defects that can impact their performance and longevity. Therefore, detecting and identifying these defects is crucial for enhancing chip reliability. This paper reviews the advancements in chip defect detection methods using machine vision over the past decade, both domestically and internationally. Initially, it introduces the chip manufacturing process and the prevailing chip packaging technologies. It then outlines the mainstream non-destructive testing technologies for chip defect imaging, which include optical imaging, acoustic imaging, infrared thermal imaging, electromagnetic imaging, and X-ray imaging. The paper further explains the methods for detecting surface defects in chips using both traditional technologies and deep learning. Additionally, it compares and analyzes defect detection methods for chip packages based on defect locations. Finally, the paper summarizes the current challenges in chip defect detection and explores potential future research directions.

Keywords: semiconductor chips; defect detection; chip packaging; machine vision; deep learning; chip defect dataset

0 引言

在芯片生产制造过程中,各工艺流程环环相扣,技术、材料、环境、工艺参数等因素的微小变化会导致芯片产生缺陷,影响产品良率。芯片的缺陷检测作为芯片生产线中的关键环节,可以积极地反馈芯片的质量信息,以便人们及时掌握各制造环节的状况,因此缺陷检测对于半导体和电子工业的制造过程越来越重要^[1]。在工业自

动化生产线中,芯片缺陷的智能检测方法一直是芯片加工厂商特别关注的问题。如今,人工目视检测方法因其存在精度和效率低、成本高、劳动强度大和标准不统一等缺点,正逐步被自动检测技术所取代。早期的自动检测技术主要围绕机器视觉技术展开。机器视觉技术以其高效率、高精度、高可靠性、非接触性和客观性强等优点,得到了广泛研究和应用,经典方法为基于人工设计特征的特征提取算法与模式识别分类算法的结合^[2]。近年来,以卷积神经网络(convolutional neural network, CNN)为代

收稿日期:2024-04-15 Received Date: 2024-04-15

* 基金项目:国家自然科学基金(61573183)项目资助

表的深度学习模型在机器视觉领域的成功应用,给芯片的缺陷检测提供了新的发展方向。

在基于机器视觉的芯片缺陷检测过程中,需要通过特定的无损检测(non-destructive testing, NDT)成像技术以生成缺陷数据集,而在芯片制造过程和封装过程中用到的 NDT 方法,主要包含光学成像检测技术、声学成像检测技术、热成像检测技术、电磁成像检测技术、X 射线成像检测技术等。其中光学检测技术、声学检测技术、热成像检测技术常常和机器视觉的检测方法相结合。随着计算机的发展,无损光学成像法的缺陷成像精度和实用性得到了提升,其具有非接触性、高分辨率等特点。声学检测具有高灵敏度、高分辨率和放大线性度等特点,可使用超声波定相和超声波显微镜等技术进行成像,但缺陷边缘的几何结构会引起超声波散射或折射导致超声图像模糊,即边缘效应^[3]。红外热成像技术被美国的 NASA、波音和 GE 等公司和政府机构采用,形成了行业标准。根据有无外部热量提供,可分为主动热成像和被动热成像。按照激发时间的长短,主动热成像又可分为长期激发和短期激发。主动热成像为当前主要的技术路线,具有高灵敏度、成本效益高、即时性、环境适应性和适用性强等特点。电磁成像适用于大部分芯片短路故障与表面裂纹缺陷的检查,成本低但分辨率不高。X 射线成像能长时间记录过往图像,空间分辨率高,技术成熟,被广泛用于芯片 3D 封装领域内的检测,但检测周期长,实时性较差,且存在一定放射性风险。

经过 NDT 技术生成的缺陷数据集将用于基于深度网络的芯片缺陷检测方法中,随着相关的研究越来越受到关注。2022 年,文献[4]搜集了一系列基于机器视觉和深度学习的芯片缺陷检测方法,在每一节按照表面缺陷和封装体缺陷分类,并分析了芯片表面缺陷间的特性差异,但所整理的方法过少,不够全面,也未囊括芯片焊点的缺陷和其检测方法。2022 年,文献[5]聚焦于集成电路制造中的贴片和焊线工艺,该过程通常导致焊球缺失、模具错位等缺陷,提供了基于光学、放射学、声学和红外热成像的检测方法,并按照传统图像处理 and 深度学习对芯片焊点缺陷的检测方法进行分类,但未涉及芯片其他类型缺陷的研究,关注范围过窄,且侧重点集中于贴片和焊线工艺中的 NDT 方法,关于缺陷检测方法的篇幅过少。2018 年,文献[6]同样围绕焊点缺陷检测领域内的主要研究成果,且无视觉相关的内容,着重于物理性的检测方法。2023 年,文献[7]对晶圆、芯片和焊点缺陷中的 NDT 和缺陷检测技术进行了全面的综述,包括接触式检测和非接触式检测,详细总结了 NDT 技术的优点和局限性,简要介绍了成像后的缺陷识别方法。但文章过于冗长,涉及的领域与体量大。与该文献不同,本文着重聚焦于基于机器视觉的芯片表面和封装中的缺陷检测方法,

系统全面地综述了一系列的芯片机器视觉缺陷检测方法,分析比较了主要方法的性能、优点和局限性,并整理了当前常用的标准数据集与评价方法。

本文搜集了近年来的半导体芯片表面、封装缺陷检测的相关文献并进行了归纳梳理,旨在帮助研究人员快速和系统地了解该领域的相关方法与技术。

1 芯片制造和封装及其缺陷

随着微电子器件的小型化和功能化^[8],倒装芯片(flip chip, FC)技术以其高输入输出密度、低互连延迟和良好的散热性能成为微电子封装的主流工艺之一^[9]。芯片市场对芯片的尺寸要求逐渐趋于纳米级,制作过程中产生的缺陷也将更小,缺陷检测技术在芯片制造和封装的重要性不言而喻。由于传统技术的限制,芯片表面、封装体以及芯片与基板之间的焊点缺陷无法目测,芯片缺陷检测已经成为半导体制造和封装中的重要挑战^[10]。

1.1 芯片的制造流程

芯片的制造需要经历数道工序,其中各工艺环环相扣。芯片生产对材料、环境、工艺参数等敏感,每个环节都有可能产生缺陷。因此,了解芯片制造工艺的流程,是进行芯片缺陷检测研究的前提。芯片生产线主要包括芯片设计、制造、封装和检测 4 大环节。半导体工艺包含前段制程和后段制程,在晶圆表面制造大规模集成电路芯片(large-scale integration, LSI)的工艺称为前段制程,前段制程主要是对晶圆进行加工,将晶圆上制作的 LSI 芯片切割出来。主要包含 6 大工艺,分别为清洗、离子注入和热处理、光刻、刻蚀、成膜、平坦化。前段制程具有循环型结构,并可进一步分成前端和后端。前者主要是形成晶体管等元件,后者主要是形成布线。加工尺寸非常小,只有几十毫米,因此对生产设备和晶圆厂的洁净度有非常严格的要求。

后段制程是将晶圆上制作的 LSI 切成芯片、封装、出货检查的工程,具有流型结构。晶圆上会制造出大量的芯片进入后段制程,首先通过晶圆测试(chip probing, CP)去除晶圆上的不良品。晶圆测试使用探针台设备来完成,设备上装有探针卡,探针卡上有很多导电的探针,对不同类型的 LSI 芯片需要使用专门的探针卡。然后进入减薄工艺,将晶圆从背面削减至规定厚度,去除多余的晶圆面积。划片工艺则使用特殊的切割刀具将晶圆切割成芯片。将切除的芯片贴在基板上,并固定到封装中。然后用引线将封装中的端子和芯片上的 LSI 端子连接起来。接着把芯片放置到上下模具的空腔中,在模具紧密接触的同时,将环氧树脂注入其中。完成 LSI 芯片的注塑后,还需要给芯片印上产品名称和批次名称。在最终测试阶段,首先对封装好的半导体器件测量外观和尺寸,

然后对没有问题的半导体芯片进行电气测试。

芯片检测主要分为物理性检测和电性能检测。物理性检测主要可分为封装前的芯片表面缺陷检测和封装后的封装体缺陷检测。电性能检测是在不同的电压、温度和湿度等条件下进行温度、电气和速度测试,目的是检测芯片的性能是否达标。本研究主要聚焦于半导体芯片的物理性缺陷检测。

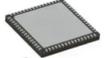
1.2 芯片的封装技术

传统意义上的芯片封装用于容纳集成电路芯片,包括将晶圆切割成片并将不同类型的芯片引脚安装到封装材料中以形成不同外观的封装体。从物理角度来看,其

主要功能是为集成电路芯片提供一个稳定的容器,保护芯片免受外部环境的影响。从电性角度来看,封装体作为芯片与外部电路之间的信息传输通道,提供了低噪声、低延迟的信号传输路径。半导体芯片有许多不同的封装技术,当前主流的芯片封装技术主要包括双列直插式封装(dual in-line package, DIP)、球栅阵列封装(ball grid array, BGA)、方形扁平无引脚封装(quad flat no-leads, QFN)、方型扁平式封装(quad flat package, QFP)、小外形封装(small out-line package, SOP)、阵列引脚封装(pin grid array, PGA)、FC 等。当前所有主流芯片封装技术的优缺点与封装示对比表 1 所示。

表 1 主流芯片封装技术的对比

Table 1 Comparison of mainstream chip packaging technologies

技术	优点	缺点	样式
DIP	易于制造和焊接,成本较低	体积较大,不适用于高密度集成电路;不利于散热;引脚长度将增加信号传输延迟	
BGA	引脚密度极高,适用于超高密度集成电路;提供良好的信号传输性能;散热性能优秀。	制造成本高;难以维修;对焊接技术和工艺要求高;不利于可视检查	
QFN	体积小;引脚密度高;焊接表面积大,有利于散热;适用于手工焊接和自动化生产。	焊接技术要求高,易造成焊接短路;不利于手动维修;PCB 的设计有一定要求	
QFP	引脚密度高,适用于高密度集成电路;易于制造和维修;散热性能较好。	引脚数量有限,不适用于超高密度集成电路;无法实现焊球阵列连接,限制信号传输速率。	
SOP	小型化设计,引脚密度适中,制作成本较低,易于焊接和维修	不适用于高密度集成电路,散热性能有限,不适用于高速信号传输,对 PCB 设计有一定要求	
PGA	易于制造和焊接,引脚连接到芯片底部,有利于降低传输延迟和信号损耗	尺寸较大,不适用于需要极高引脚密度和集成度的芯片设计,不适用于高频场景	
FC	热传导性好,引脚短且数量密集,适用于高速数据传输,尺寸体积小	制造成本高,需要高精度的设备和工艺控制,对基板设计要求高,容易受外部机械应力导致焊点开裂	

1.3 芯片制造中的质量缺陷

根据缺陷载体的尺寸由小到大依次为芯片缺陷、晶圆缺陷。这些缺陷一般可分为机械缺陷(如凹凸元件缺陷、晶圆缺损等)和电气缺陷(如焊点上的电迁移等)。晶圆缺陷一般是硅晶片在抛光、热处理、切割、机械研磨和光学显影等操作时,表面出现破损形成的,常见的 3 种缺陷是颗粒污染、晶体缺陷和机械损伤。颗粒污染是晶圆表面最常见的缺陷,主要包括纳米级颗粒、微米级粉尘以及相关工艺的残留物。晶体缺陷也是晶圆表面缺陷常见的形式之一,比其他晶圆表面切入线更加明显。机械损伤一般发生在晶圆制造过程中的抛光、切片等步骤,是一种较为严重的缺陷,会对 IC 芯片造成非常严重的影响。

芯片缺陷主要分为表面缺陷和封装体缺陷。在封装前,工艺参数等因素会对芯片的质量产生一定的影响,导致缺陷种类或形式各异,背景复杂。芯片制造过程中产生的表面缺陷如图 1 所示,大致可划分为原材料不良、异物、划伤、Bump 元件缺陷(凸起、错位或缺失)、金属性污染物和蚀刻液脏污残留。此外,芯片制造过程中还会产生如蚀刻锈斑、电镀过多、异色和金属损坏等小样本缺陷。

封装后的封装体缺陷主要包括印刷字符缺陷、引脚缺陷、分层缺陷和焊点缺陷等。封装体表面印刷符号表明了其名称、规格、型号和性能等信息,是辨识芯片的重要依据。清晰的符号是高质量芯片的外在需求。实际生

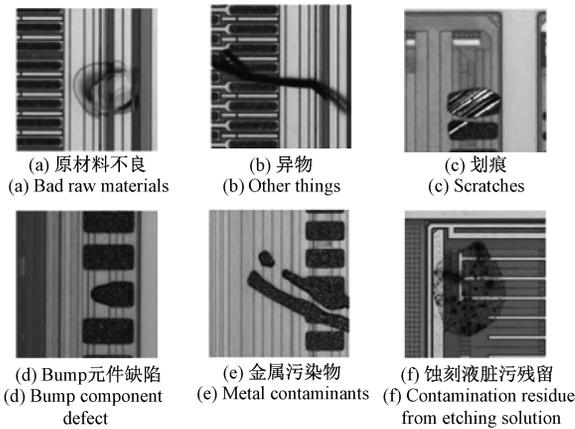


图1 芯片表面缺陷

Fig. 1 Chip surface defects

产中常存在的印刷字符缺陷包括错字、偏移、漏印、多印、模糊、倾斜、位移、断字、双层印和无字等。引脚缺陷包括引脚缺失、引脚破损和引脚弯曲,其缺陷如图2所示。

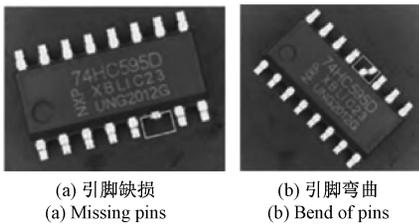


图2 封装体引脚缺陷

Fig. 2 Package pin defects

分层主要指塑封材料和其相邻材料界面的分离,在芯片封装过程、封装后的整合过程和成品的使用均会导致分层现象产生。不良的粘连界面是导致芯片分层的主要原因,其诱因通常有很多因素,如界面空洞、表面污染和固化不完全等。分层缺陷比率达到10%~15%,将导致芯片失效,上色后的芯片分区图像如图3所示。

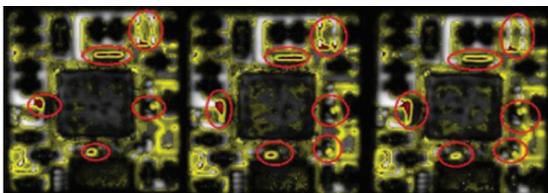


图3 芯片分层区域上色影像

Fig. 3 Coloring image of chip layered area

芯片与有机基板之间的焊点具有连接机械和电气的功能。作为芯片制造过程中最薄弱的环节之一,随着焊点尺寸的减小,热应力等参数的增加速度很快。硅与有机衬底之间的热膨胀系数不匹配导致焊点的热疲劳^[10],从而削弱了芯片在热循环过程中的抗热疲劳能力。此

外,由于芯片侧金属线与FC焊料之间的几何差异,电迁移加剧了芯片缺陷^[11-12]。较为常见的片式焊点缺陷主要集中在空洞、裂纹和焊球缺失3种类型的焊点缺陷,影响FC的性能和使用寿命。集成电路封装或电路板组装中的BGA中常见的焊点缺陷(如图4所示)。其中对于空洞和裂纹缺陷,在电流耦合下晶片会发生空洞聚并,导致晶片裂纹产生。焊点的缺失一般发生在其组装与运输过程中,因外部载荷和内部应力导致焊点完全脱离^[13]。

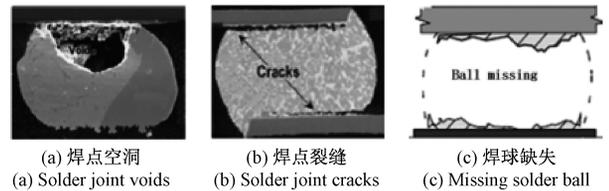


图4 焊点缺陷

Fig. 4 Solder joint defect

1.4 芯片缺陷数据集和评价方法

1) 数据集

芯片的缺陷图像通过SAM、热成像仪等NDT成像技术获取。高分辨率且标记率高的数据集往往能提高网络的特征表达能力。但由于芯片中不同缺陷类的出现频率不同,其数据集往往存在较大的类不平衡现象。许多研究是基于团队内私有的数据集加以训练,网上的公开数据集较少。本文搜集了当前所有的大型芯片缺陷数据集,如表2所示。

GFC_GT数据集来自深圳远大科技集团有限公司提供的真实的芯片表面缺陷数据集。包含2000张无缺陷图像和820张缺陷图像,其中有100张缺失缺陷图像,43张破损缺陷图像,144张油墨缺陷图像和533张裂纹缺陷图像。该数据集包括两种芯片类型GFC_GT-S和GFC_GT-L,芯片一般位于封装基板的中心,芯片表面容易出现各种表面缺陷。破损缺陷容易与边缘上出现的油墨混淆,裂纹缺陷是随机的。另外还有由3000张合成图像组成的合成数据集GFC_GD。

CDD-DLM数据集中提供了较多的芯片缺陷类型,包括了划痕、焊点凸起、焊线缺陷、栅极污染、裂纹等。由Yang^[14]团队从工业场景中收集了7940张由工业相机拍摄的图像,采集的图像尺寸为1024×768。标注文件随机排序,按照6:2:2的比例划分训练集、验证集、测试集。

SODM-SFFN数据集由Huang^[15]团队收集国内工厂的图像所组成。共有896张图像,图像尺寸为2081×2127。单个图像中缺陷对象的百分比至少仅为0.36%。使用了Mosaic数据增强方法,将随机4幅图像进行拼接,丰富了图像数据集的背景。

LEDC-GD数据集由Lin^[16]团队从工业现场采集的

表2 基于深度学习的芯片缺陷检测自建数据集

Table 2 Self-built data set for chip defect detection based on deep learning

类别	数据集	尺寸	规模	芯片类型	应用场景	网络模型	链接
表面	GFC_GT	416×416	2 820	-	目标检测	YOLOv4	https://pan.baidu.com/s/1DsZyyO4ITsLWqFyGS2KEA
	CDD-DLM	1 024×768	7 940	-	目标检测	YOLOv3	未公开
	SODM-SFFN	2 081×2 127	896	-	目标检测	SO-YOLO	未公开
	LEDC-GD	227×227	24 000	LED 芯片	图像分类	LEDNet	未公开
	LGLV-LEDCDR	220×140	3 840	LED 芯片	图像分类	FC-Pos Vit	未公开
封装体	FC-SR-SAM	18×18(焊点)	-	倒装芯片	图像分类	SVM	未公开
	BPN-UIFC	-	317	FA10-200	图像分类	BP	未公开
	GASVM-DIFC	22×4(焊点)	880	PB08	图像分类	GA+SVM	未公开
	FCN-VSX	256×256	227	-	语义分割	FCN	未公开
	LEAD	180×30	333	-	-	-	https://www.kaggle.com/datasets/gagazet/lead-legs-on-chipset

芯片图像组成的数据集,通过几何变换技术生成。包含正常芯片、线瑕疵缺陷图像和划痕缺陷图像,共有 24 000 张图像,均进行了归一化处理。

LGLV-LEDCDR 数据集由 Wei^[17] 团队的图像采集系统所采集的 LED 芯片样本组成。其使用数据清理来去除单个芯片图像的重复样本。该芯片在 LED 数据集中共有 3 840 个,分别包含 3 072 个训练样本和 768 个测试样本。使用 Canny 算法将单个芯片与捕获的芯片阵列分离获取以获取更多多样性的样本,单个芯片的分辨率为 220×140。该数据集包含 3 类芯片图像,普通芯片、电极缺陷芯片和发光区缺陷芯片。

FC-SR-SAM 数据集由 Lu^[18] 团队使用 Sonoscan D9500 的 SAM 检测 FC-Pack1、FC-Pack2 和 FC-Pack3 获取的焊点缺陷图像组成。由于 SAM 图像的分辨率受超声频率的限制,大部分的超声波会被焊点反射,而反射的超声波能量很小,因此正常的焊点呈现黑色。

BPN-UIFC 数据集选取 FA10-200 虚拟组件作样品芯片,每个芯片有 317 个焊点,间距为 254 μm 。

GASVM-DIFC 数据集由 Wang^[19] 团队拍摄的 PB08 倒装芯片图像组成。每个倒装芯片的边缘均匀分布着 88(22×4) 个焊点,尺寸为 5.08 mm×5.08 mm×0.5 mm,焊点直径为 120 μm ,间距为 203 μm 。为了保证收集数据的可靠性,每个芯片均被检测了 55 次。其中包含了 3 个良好的芯片和 13 个缺失焊点的倒装芯片,总共采集了 880 个原始振动信号数据。

FCN-VSX 数据集包括 227 张手动标注的 X 射线图像。每张图像包含一个焊点缺陷,该焊点是从分辨率为 1 024×1 024 的 PCB 的 X 射线图像中裁剪出来的,带有多个焊点,并重新缩放为 256×256 的统一分辨率。

LEAD 数据集是其中最小型的数据集,包含 10 张缺陷图像和 323 张标准图像,来自主板和芯片中的引线,可

被用于检测带有相似缺陷的芯片部件。

2) 评价方法

为了评估模型对芯片缺陷图像的分割与分类能力,需要采用定量的指标。常用的分类算法性能评价指标包括精确率(precision, Pre)、召回率(recall, Re)、准确率(accuracy, Acc)、F1 分数、假阳性率(false positive rate, FPR)、假阴性率(false negative rate, FNR)、平均精度(average precision, AP)。而分割算法性能评价指标有 Dice 系数、像素精度(pixel accuracy, PA)、平均像素精度(mean pixel accuracy, MPA)和平均交并比(mean intersection over union, MIoU),芯片缺陷视觉检测中主要的评价指标如表 3 所示。

在芯片检测领域,Precision-Recall 是一种重要的评价指标,用于评估分类模型的性能。Pre 表示模型预测的芯片缺陷中真正存在缺陷的比例,表明模型的可靠性;Re 表示正确预测的缺陷样本占总的缺陷样本的比例,表明模型的灵敏性;Acc 表示正确识别的缺陷样本总数。F1 分数是精确率与召回率的加权平均值,表示预测值和基本真实值的接近程度,用于评估多类别分类性能;FPR 指的是实际为负样本但被错误地预测为正样本的比例,表示所有负样本中被错误分类为正样本的比例;FNR 指的是实际为正样本但被错误地预测为负样本的比例,表示所有正样本中被错误分类为负样本的比例。AP 是对每个类别的精度-召回曲线下面积的平均值。Precision-Recall 曲线显示了在不同召回率下的精度情况。AP 越高,表示模型在识别目标时的性能越好。Dice 系数用于衡量芯片缺陷图像分割的质量,表明模型分割的缺陷区域和实际缺陷区域的重叠度。对于多类别目标检测,MPA 和 MIoU 是重要的评价指标,值越大表示检测模型的分割精度或分类精度越高。MPA 表示模型在像素级别上的缺陷分类准确性,用于描述芯片缺陷图像细节和

表3 芯片缺陷检测方法的主要评价指标

Table 3 Main evaluation indicators for chip defect detection methods

类别	评价指标	定义
目标检测	精确率	$Pre = \frac{TP}{TP + FP}$
	召回率	$Re = \frac{TP}{TP + FN}$
	准确率	$Acc = \frac{TP + TN}{TP + FP + TN + FN}$
	F_1 分数	$F_1 = \frac{2 \times Precision \times Recall}{Precision + Recall}$
	假阳性率	$FPR = \frac{FP}{TN + FP}$
	假阴性率	$FNR = \frac{FN}{TN + FP}$
	平均精度	$AP_C = \int_0^1 P_R dR$
语义分割	Dice 系数	$DC = \frac{2TP}{2TP + FN + FP}$
	像素精度	$PA = \sum_{i=1}^N \frac{TP_i}{TP_i + FP_i}$
	平均像素精度	$MPA = \frac{1}{N} \sum_{i=1}^N \frac{TP_i}{TP_i + FP_i}$
	平均交并比	$MIoU = \frac{1}{K} \sum_{i=1}^K \frac{TP_i}{TP_i + FP_i + FN_i}$

边缘信息,其中 N 是图像中像素的总数, TP_i 是模型正确预测芯片缺陷的像素数量, FP_i 是模型错误预测芯片缺陷的像素数量。MIoU 综合考虑模型在像素级别上的预测准确度,常用于比较不同模型或调整模型超参数时的性能,其中 K 是缺陷类别数, FN_i 表示模型错误预测为其他缺陷类的像素数量。检测模型的运行时间也是衡量算法优劣的重要指标,通常采用图像处理帧率来衡量算法的运行速率。

在实际芯片缺陷检测中,还有两个重要的评价指标:漏检和误检。误检可以通过人工最终判断来纠正,降低对最终产品质量的实际影响。尤其是在自动化检测系统中,通过设置合理的阈值和后续人工确认流程,可以有效减少误检带来的负面影响。在实际生产中,漏检问题更为严重和紧迫。为了降低漏检风险,企业通常会采用多种检测技术的组合,包括视觉检测、电子显微镜等高精度检测方法。此外,通过建立完善的质量控制体系和持续优化检测算法,可以有效提高检测准确率和效率,减少漏检的概率。

2 芯片缺陷的无损检测与成像技术

芯片制造和封装中的缺陷 NDT 技术主要包括光学成像、声学成像、热成像、电磁成像和 X 射线成像等检测

技术。对不同的 NDT 成像技术进行整理与概述。

2.1 光学成像

光学缺陷检测通常在线性光学系统中实现,主要可分为基于振幅、基于相位、基于偏振和基于轨道角动量 (orbital angular momentum, OAM) 的光学缺陷检测系统,常用的方法包括扫描光学显微镜 (scanning optical microscope, SOM)、过焦扫描光学显微镜 (through-focus scanning optical microscopy, TSOM)、衍射相位显微镜 (diffraction phase microscope, DPM)、光学伪电动力学显微镜 (optical pseudo electrodynamics microscope, OPEM) 和自动光学检测 (automatic optical inspection, AOI) 等。

1) 基于振幅

基于振幅的光学检测系统使用明场照明、暗场照明来进行缺陷检测。明场照明通常将灯光安装定向在距成像表面 $45^\circ \sim 90^\circ$, 是较常用的成像方式。而暗场照明将光定向在偏离水平线 $0^\circ \sim 45^\circ$, 以应对高反射表面成像而产生的边缘效应,随后通过晶圆图案化将测试芯片图像与相邻芯片图像比较,确定缺陷类型与位置^[20]。基于振幅的光学检测系统主要包括 TSOM。TSOM 通过传统光学显微镜组合多个 2D 光学图像,收集纳米级的尺寸信息,其对横向和纵向的测量灵敏度小于 1 nm ^[21]。TSOM 可以利用纵向堆叠芯片的切片信息来增强明场显微镜的成像功能。TSOM 在过焦位置采集的图像以焦点函数进行堆叠,创建包含光学信息的 3D 空间,从任意方向提取横截面 2D 图像,然后通过基线 TSOM 图像与包含缺陷的 TSOM 图像相减来获得缺陷信号。但 TSOM 的缺陷灵敏度需要以时间为代价,比传统的明场显微镜更耗时。

2) 基于相位

在基于相位的光学检测系统中,相位信息对上下表面的缺陷都敏感。共孔径干涉测量^[22]是一种定量相位成像技术,在图案晶圆缺陷检测方面具有巨大潜力。此外 DPM 也被用于检测晶圆缺陷,文献[23]在外延模式下研究了专门的 DPM,该显微镜是一种共光路干涉仪,由衍射光栅和 4 倍焦距透镜系统组成,其工作稳定,可以进行高度灵敏的时间分辨测量,采集速度仅受相机速度限制。OPEM^[24]是为了解决纳米结构散射而提出的特殊相位成像技术,其可感知高度差为 2.3 nm 、宽度在 10 nm 以下的各种半导体缺陷,无需复杂仪器和降噪后处理算法。OPEM 对系统噪声具有鲁棒性,对纳米级扰动很敏感。然而,与定量相位成像技术相比,无法具体定量确定纳米结构体的尺寸信息。

3) 基于偏振

光学散射测量,也称为光学临界尺寸计量,通过晶圆上光的衍射偏振特性来测量周期性纳米结构的轮廓参数。如果存在图案缺陷,它将破坏几何周期性并在光学响应中引入额外的特征,从而降低光谱拟合的质量。然

而,由于散射测量是一种非成像技术,无法精确判断晶圆上的缺陷位置。成像椭偏仪^[25]将偏振对比显微镜成像与光谱椭偏仪的测量原理相结合,具有定位图案化晶圆缺陷的潜力。最先进的成像椭圆偏振仪的空间分辨率已达到小于 $1\ \mu\text{m}$ ^[26]。成像椭偏仪是一种成像技术,其避免了散射测量中耗时的点扫描。文献[27]研究了零椭圆偏振原理,作为暗场成像图像对比度增强的方法。通过将偏振器、补偿器和光电二极管传感器添加到传统的暗场成像系统,缩小了晶圆缺陷空间图案上的缺陷间隙与桥接缺陷,并能有效区分出散射噪声。

4) 基于轨道角动量

OAM 是一种光照明技术。在微观层面上显示了漩涡波场,描述了具有螺旋形波前的空间相位分布^[28]。因此,缺陷的灵敏度应与 OAM 缺陷检测系统中的空间坐标相关。文献[29]使用 OAM 光束作为相干傅里叶散射中缺陷检测的探针,通过捕获缺陷图案被高斯空间轮廓光束照射时所反射的光束,以获取缺陷形状。

除了上述光学缺陷检测方法外,文献[30]研究了一种针对芯片背面与侧面的 AOI 系统。AOI 采用多拾取头放置、同步动态图像采集为一体,其完成部分芯片的自动质量测试,最后通过判断芯片质量是否可靠,检测成功率高达 95%。基于幅度的检测技术目前仍然是芯片光学检测技术中比较有优势的技术,其高速、高效,普遍适用于各类缺陷检测。然而,鉴于缺陷的信噪比和灵敏度要求不断提高,基于相位和 OAM 的检测方法可能具有更多优势,但这两种方法对更多缺陷类型的普遍适用性有待进一步研究。

2.2 声学成像

在目前 NDT 技术中,超声图像是信息采集技术与图像处理技术相结合的产物,可以提供直观、大量的信息,直接反映物体声学特性。声学 NDT 主要通过超声波定相与超声波显微镜进行成像,其具有自动化、智能化的优势,可以自动比较以往检测结果,进行缺陷的动态检测。常见的超声成像方法包括超声相控阵、扫描声学显微镜(scanning acoustic microscope, SAM)。

1) 超声波定相

随着电子技术和计算机技术的突飞猛进,超声相控阵技术逐渐应用于芯片的缺陷检测。其通过各阵元发射的声束有序叠加,可以灵活地产生偏转和聚焦波束,无需更换探头即可完成聚焦区域的高分辨率检测。超声相控阵探头将多个独立的压电元件按照一定的排列方式组合成阵列,利用计算机技术控制压电元件的激励顺序和延迟,实现声束的偏转和聚焦。因此,与传统的单芯片超声检测相比,超声相控阵更加灵活、速度更快、分辨率更高,更适合复杂的芯片检测。另外电子扫描高频超声波技术也已成为在线检测 IC 封装中微小缺陷的基础技术之一。

文献[31]在成像过程中使用笛卡尔坐标 2D 扫描。该方法结合现有的声波断层扫描方法,可显示 IC 芯片与模具材料之间的缺陷图像,在 2 s 内可扫描 $22\ \text{mm}\times 15\ \text{mm}$ 芯片内部结构并进行成像,比传统机械成像时间缩短 30 倍。

2) 超声波显微镜

SAM 作为一种广泛应用的缺陷检测方法,集现代微波声学、信号检测和计算机技术于一体,在芯片缺陷 NDT 领域得到了迅速发展。C 模式 SAM (C-mode scanning acoustic microscopy, C-SAM) 是反射模式声学显微镜,超声波扫描头对样品进行扫描后,使用压电换能器产生超声波脉冲入射至芯片样本中,声波在内部分界面处发生反射、折射和散射。通过信号处理系统对反射的超声波进行处理,获得样本芯片内部信息,并结合探头扫描整个检测区域形成超声扫描图像。C-SAM 可以检测到裂纹和分层等常见缺陷,但在薄界面处无法检测到缺陷区域。

文献[32]提出了一种使用 C-SAM 检测和定位 IC 缺陷的检测系统。文献[33]使用 C-SAM 计算芯片内部空隙大小。文献[34]比较了各种类型 SAM 的塑封 IC 的缺陷检测结果,发现 C-SAM 截面扫描方法是所有扫描方法中效率最高的。由于 FC 内部元件键合小,文献[35]使用 C-SAM 检查 FC 连接的可靠性,包括对内部界面的粘附力和焊料的完整性进行成像。除了结合 X 射线等其他方法外,文献[36]还使用纵向超声接触换能器来检测 IC 封装中的界面问题。通过测量界面的超声波反射系数来表征缺陷。

声学显微镜成像(acoustic microscopy imaging, AMI) 技术通常被用于测试焊点可靠性中,文献[37]利用 AMI 检测技术来估计焊点的寿命,并利用获得的 AMI 数据来验证监测的稳健性。首先,通过记录 FC 测试板上的加速热循环数据,检测焊点状态;然后分析提取的图像参数如直方图距离、平均强度和灰度面积等;最后定位并跟踪焊点和芯片接口之间的裂纹,以确定故障位置的测试热循环次数。结果表明,随着声阻抗的加剧,超声反射强度增大,焊点强度随着损伤程度的加剧而增大。文献[38]提出了一种提取焊点特征的自动检测技术,包括焊点检测、特征提取和缺陷评估 3 个关键步骤。首先,对 FC 进行超声波扫描,使用基于梯度的圆形霍夫变换来检测图像中的焊点,对每个焊点根据检测到的位置和半径进行分段,隔离其他焊点;然后采用基于径向梯度的区域生长算法提取缺陷识别区域和特征;最后,通过自动分析图像特征的变化和截面分析进行缺陷评估,最后评估焊点检测系统的性能。

SAM 利用声波来测试不同介质的反射或透射强度。C-SAM 作为 SAM 的重要技术手段之一,属于 C 型反射,与 X 射线分析相辅相成。X 射线主要检查 PCB 和 BGA

的焊点,以确定 PCB 和 BGA 是否存在裂纹、空洞等缺陷,而 C-SAM 主要分析 FC 芯片内部的故障情况。两种技术的互补之处在于,X 射线只能穿透并能观察缺陷,但无法判断缺陷出现在哪个层面,而 C-SAM 则解决了这个问题。

2.3 红外热成像

红外热成像是芯片缺陷检测中最常见的 NDT 方法之一,通常用于检查倒装芯片、焊点缺陷、边缘缺陷、异常焊料凸块、硅裂纹、分层缺陷及潜于表面下的缺陷。按照有外部热源可分为主动热成像法和被动热成像法,其中被动热成像法通过外红探测器捕获结构部件发出的自然热量进行成像,无需外部热源;主动热成像法使用光学、机械或电磁向待检查部件施加外部热量。外部热量在样本表面产生热波,热波从被检物体内部的缺陷反射回来。目前芯片缺陷检测中主要使用以主动热成像为基础的非破坏性方法,主动热成像按照激励时间长短可分为长期激励和短期激励。

1) 长期激励

文献[39]研究焊点形状对 PCB 元件表面热响应的影响,并建立了主动热成像技术的数值模型,通过比较热瞬态时间,可以确定缺陷的深度,还提出了主动热成像技术在表征隐藏焊点形状方面的局限性和应用条件。文献[40]利用非接触式主动热成像技术对带有两种人工缺陷的 FC 进行加热,红外成像仪接收红外光谱并将其转换为电信号,在热图像中捕获由芯片缺陷引起的异常热分布。利用 Canny 算子准确识别缺陷位置并与正常位置进行比较。文献[41]使用了基于主动热成像和概率神经网络的焊点缺陷检测方法,如图 5 所示。红外热像仪监测热脉冲激励产生的瞬态响应以捕获热图像,利用移动平均技术对温度曲线进行处理,然后通过主成分分析(principal component analysis, PCA)重建热图像,以准确识别缺失的焊点,结果验证了该方法在焊点缺陷检测中的可行性。文献[42]将主动热成像技术应用于 BGA 焊点检测中,使用主动电脉冲作为主动红外检测的供能,但实验只检测了硅盖下方的顶部焊点,未检测其他部位的焊点。

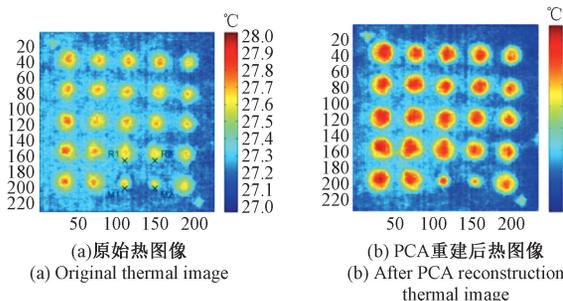


图5 焊点缺陷在热像仪中的成像

Fig. 5 Imaging of solder joint defects in thermal imaging camera

2) 短期激励

短激励热成像技术可分为锁定热成像技术和脉冲热成像技术两种类型。锁定热成像是一种 NDT 技术,其定期加热样本,并用红外摄像机捕获表面温度。脉冲热成像实现难度低,所需能量更少,但捕获数据容易受加热不均匀的影响。锁定热成像需要对每个检测深度进行单独的实验,并且在达到稳定状态之前需要一段稳定时间;样品深度和检查频率之间的直接关系对于缺陷检测是必要的^[39]。

文献[43]提出了一种新的多点激光锁定热成像(multi-spot laser lock-in thermography, MLLT)系统,用于半导体芯片制造过程中裂纹检测的实时成像。可以在制造过程中实时检测半导体芯片,利用多点脉冲激光束在目标半导体芯片表面的多个点产生热波,并利用高速红外相机测量 2D 热波场。此外,提出的无基线裂纹可视化算法可以减少对基线数据的依赖,实现对裂纹缺陷的自动可视化,提高了数据采集的速度和准确性。据统计,70% 的电子封装故障是由焊接不良引起的。由于传统焊点的破坏性和低效率检查,焊点缺陷隐藏在封装下难以检测。对不规则形状的焊点和伪焊现象,文献[44]提出了一种涡流脉冲热成像(eddy current pulsed thermography, ECPT)技术来研究表面贴装器件(surface mount devices, SMD)中焊点的导热性。研究人员建立了三维电磁热模型和 ECPT 系统来评估伪焊接对焊点导热率的影响。结果表明,热阻随着伪焊面积增大近似呈二次方增大,且表面温度逐渐降低。该方法可应用于 SMD 焊点的热分析,也可用于评估电子封装热设计的可靠性。

2.4 电磁成像

当前主要的磁场成像技术包括超导量子干涉器件(superconducting quantum interference devices, SQUID)、磁光克尔效应(magneto-optic kerr effect, MOKE)、磁力显微镜(magnetic force microscope, MFM)、光电发射电子显微镜(photoelectric emission electron microscope, PEEM)与磁流成像(magnetic current imaging, MCI)。SQUID 通常用于探测极弱的磁场,灵敏度很高,MOKE 主要专注于研究磁光学特性。MFM 可得到局部磁场分布图,而 PEEM 则结合了表面化学成分分析和高分辨率磁场成像。与这些技术不同,MCI 是一种与流动电流相关的磁场测量方法,它提供了一种独特的方法来检测芯片封装中的短路缺陷,通过将电流密度图像与无缺陷样品进行比较来检测芯片封装中的短路缺陷,从而对缺陷进行定位。该方法通过测量导线周围的磁场来绘制隐藏的载流导线,利用傅里叶逆变换将样品的磁场图像转换为电流密度图像。如图 6 所示,在磁流扫描图的角落存在部分棕色区域,芯片缺陷则位于棕色区域的凹陷处。由于大多数芯片的缺陷面积有限,且不存在导热、吸收和折射等

问题,研究人员针对特定芯片提出了基于 MCI 和等离子体聚焦离子束(focused ion beam, FIB)相结合的缺陷识别系统。该系统采用无损 MCI 方法检测 3DTSV 器件中所有短路和漏电故障的情况。文献[45]将 MCI 用于晶圆静态缺陷 NDT 中,并结合了 SQUID 和巨磁阻(giant magnetoresistance, GMR)。SQUID 具有较强的灵敏度和较大的工作距离。

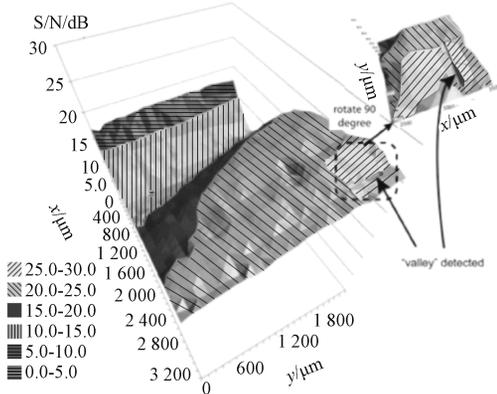


图 6 磁流扫描图
Fig. 6 Magnetic flow scan

GMR 能在短距离下检测铁磁薄膜在外部磁场下的电阻变化,被广泛应用于芯片封装以及 PCB 板制造中。MCI 结合两者的技术优势来检测和定位芯片制造过程中的缺陷。文献[46]提出了一种基于嵌入式 GMR 磁力计传感器以检测芯片缺陷,其使用了并排放置的矩形磁场偏置线圈和多个 GMR 磁力计传感器,加快了 NDT 的速度和灵敏度。文献[47]使用基于 GMR 和现场可编程门阵列(field programmable gate array, FPGA)的涡流检测系统进行芯片缺陷检测,发现 GMR 传感器的信号幅值与激励电流的相位能够清晰地反映各种缺陷引起的磁场变化,且相位信息相比幅度信息能更准确详细地表征缺陷的实际尺寸。文献[48]使用 0.18 μm 探针芯片、微扫描校准器以及高分辨率磁探针组成的磁传感系统,进行空间分辨率磁扫描实验。实验采用波谷检测法来检测故障芯片,根据辐射磁场检测故障位置,主流电磁成像技术的特点如表 4 所示。

文献[49]介绍了 X 射线检测系统在芯片多层载体缺陷检测中的应用。X 射线系统能够提供高倍率、高分辨率要求,X 射线检测系统的主要组成部分是开放式 X 射线管、控制臂装置和实时探测器,其能在制造过程的不同阶段、不同生产线间进行测试。文献[50]研制了一种高灵敏度的实时 X 射线缺陷检测成像系统,重点讨论了 X 射线图像增强器和图像处理程序,并给出了几种不同类型的焊缝检测结果。文献[51]使用 X 射线发生器发射 X 射线,经过准直后穿过样品中的缺陷。由于样品

表 4 主流电磁成像无损检测技术的对比

Table 4 Comparison of mainstream electromagnetic imaging non-destructive testing technologies

磁流成像	空间分辨率	磁场范围	优劣势
MOKE	≈ 300 nm	-9~9 T	高时间分辨率和低空间分辨率
MFM	≈ 30 nm	-16~16 T	磁探针会干扰芯片磁性,低空间分辨率
MCI	≈ 5 μm	-	适用于短路故障,亚微米分辨率较差
PEEM	5~20 nm	-	高空间分辨率
SQUID	≈ 1 μm	-	需要测量磁化曲线,空间分辨率低

材料的密度和原子量导致 X 射线吸收效率不同,再由 X 射线接收器测量穿过各个部位的 X 射线强度。计算机再将收到的不同位置的 X 射线强度将其转换为黑白图像。文献[52]提出了一种用于实时监测 3D 纳米图案结构中的微裂纹方法。该方法将微尺度裂纹测试集成到纳米 X 射线断层扫描系统中,对正常位置的 IC 裂纹缺陷进行高分辨率 3D 成像。

X 射线的 3D 缺陷检测技术已被用于在线、实时、动态、非接触式缺陷检测,具有广阔的应用前景。然而 X 射线检测系统仍然存在分辨率低的问题,尤其是面对复杂的多层结构时,往往会伴随重影和伪影等问题。为了增强 X 射线成像在芯片中识别和分析缺陷的能力,可以使用另一种更先进的重建算法来解决重影和伪影问题。文献[53]开发了一种先进的重建算法,通过不准确性补偿来减少摩尔纹伪影。利用先进的图像处理算法,提高 X 射线图像的质量和分辨率。

综上所述,通过优化成像系统,结合光学图像辅助,优化探测器性能,应用先进的图像处理算法,可以增强 X 射线在复杂结构中的应用,提高分辨率,消除重影,并提高 NDT 在芯片缺陷检测上的性能。不同芯片缺陷 NDT 成像技术的原理、优点、局限性与适用范围如表 5 所示。

3 芯片表面缺陷的视觉检测方法

芯片的表面缺陷的视觉检测通常包括图像采集、预处理、特征提取、缺陷检测与分类等步骤,其中传统检测技术既包含传统图像处理方法,如边缘检测、阈值分割和特征提取等,又包括传统机器学习方法,如支持向量机(support vector machines, SVM)、卷积自动编码器(convolutional autoencoder, CAE)等。

表5 芯片缺陷无损检测技术的对比

Table 5 Comparison of non-destructive testing technologies for chip defects

NDT	原理	优点	局限	适用范围
光学成像	利用全息干涉或散斑干涉,比较待检测物在不同状态下的显影图来确定内部缺陷	1. 灵敏度高、绝缘性好、耐腐蚀、不受电磁干扰 2. 可在焊点焊接前检查其完整性、均匀性和外部空隙	1. 受人为视觉误差影响较大 2. 后处理数据复杂 3. 激光成像检测技术不适合高密度焊点缺陷 4. 设备成本高	亚微米和纳米级分辨率,检测芯片表面、焊点的缺陷以及焊接裂纹
声学成像	换能器产生特定频率的超声波信号在芯片中传播,当芯片有缺陷时,信号被反射回来。	1. 对扁平缺陷敏感 2. 携带方便,可现场检测及时得到检测结果	1. 需考虑分辨率和穿透深度的平衡 2. 对边缘裂纹的敏感性差 3. 对操作人员的技能要求高 4. 需要借助耦合剂连接检测物体	主要适用于检测分层、不均匀裂纹、夹杂、缩孔、气泡、热裂纹、冷裂纹、异常厚度等。
红外热成像	通过红外摄像机探测器检测区域内物体的热辐射,并生成热分布图像。根据图像的温度变化确定内部缺陷。	1. 亚微米级空间分辨率 2. 锁定热成像技术可检查3D封装中的缺陷 3. 常用于检测裂纹、焊点缺失、分层和空洞等缺陷	1. 结果受热噪声影响 2. 亚微米级缺陷间差异较小 3. 表面下的检查厚度有限 4. 对部分热敏感包装需考虑过热问题	亚微米和微米级分辨率,但亚微米级缺陷差异较小,适用于高导热材料表面检测
电磁成像	通过测量流动电流周围的磁场来绘制隐藏的载流导线,将电流密度图像与无缺陷样本进行比较	1. 适用于大部分短路故障 2. 简单、经济	1. 需要参考数据以判断缺陷存在 2. 亚微米级分辨率较差	亚微米级分辨率,检测导电材料表面和近表面的裂纹等缺陷
X射线成像	X射线由源发射通过被测芯片,接收器接收发射的能量。可以通过传输的能量来判断内部缺陷。	1. 功率可调,记录时间长 2. 所得图像质量高,空间分辨率可达亚微米 3. 在3D包装领域中广泛应用 4. 发展相对成熟,满足芯片无损检测需求	设备及操作昂贵,不易携带存在放射性风险 检测周期长,无法实时获得缺陷检测结果	适用于铸件的焊缝未焊透、气孔、夹渣、缩孔、气孔、疏松、热裂纹,以及结构件的现场检查,无需进行拆卸

3.1 基于传统技术的检测方法

1) 基于传统图像处理

传统图像处理技术在芯片表面缺陷检测中被广泛应用,包括图像预处理、边缘检测、阈值分割、填补空洞、连通相邻区域、特征增强和提取、图像匹配等操作,常见的匹配方法有归一化相关系数(normalized cross-correlation, NCC)匹配、互信息匹配、序贯相似性检测等,而特征提取和增强主要使用小波分析技术。其在芯片表面缺陷中已经取得一定成功,尤其在缺陷相对简单、明显的情况下表现良好。

为了避免因芯片排列无序和缺失面积大带来的干扰,文献[54]提出了一种基于位置预估计的芯片分割方法和改进的NCC算法以及特征增强算法。匹配速度比传统NCC算法提高了8倍左右,并且不受亮度变化的影响,检测漏检率仅为0.03%,单个芯片的检测时间约为1.098 ms,可检测到最小为2 μm 的缺陷。文献[55]提出了一种基于互信息的模板匹配的方法,既利用了模板匹

配简单的特点,又利用互信息提升了匹配精度,减少了计算量,提升了检测速度,相较于最大互信息法图像匹配降低了90%的运算时间,但其视野、检测效率和边缘精度有较大的提升空间。针对上述问题,文献[56]设计了一种基于图像处理的芯片表面缺陷检测系统,首先对图像进行预处理,包括去除噪声和图像增强,然后检测芯片位置、提取芯片缺陷的边缘,最后对芯片的表面缺陷进行区域分割和缺陷区域的像素测量。为了解决芯片连接器表面光照不均导致的检测精度低下的问题,文献[57]设计了基于序贯相似性检测匹配与光源自动调节的芯片连接器表面缺陷检测识别算法。首先基于序贯相似性检测匹配,定位出连接器位置,提取出连接器不良的发光区域;然后视觉软件通过光源数字控制器SDK自动调整光照,消除保护罩反光对图像质量的影响。文献[58]基于小波分析的特征提取方法、小波系数绝对值的最大值特征提取法、基于小波系数各分量平方和的特征提取法,完成了对相关故障特征的提取。文献[59]针对图像数据集

正常、弱特征、批次差异问题展开图像增强技术相关研究。用语义丰富的高层特征构建注意力权值以增强有用的低层细节信息,改善多类别分割中像素点类别预测混淆的问题。但仅使用水平方向的 Sobel 算子计算边缘引导损失,且单一的分割阈值标准不适用于不同批次的数据集缺陷检测。

2) 基于传统机器学习

基于传统机器学习的表面缺陷检测法因采用的模型结构简单,需要采用一系列方法增强缺陷特征或者重构缺陷图像,为模型输入端提供高质量且有代表性的数据,以保证输出端有良好的识别结果。因此主要的技术还是集中于解决背景噪声、光照低或反光强、图像分辨率低等问题。

文献[60]提出了萤火虫算法的二维熵多阈值缺陷图像分割法和反向萤火虫算法的大津多阈值缺陷图像分割法,用于分割芯片表面缺陷图像,通过改进的萤火虫算法对 SVM 中的惩罚参数和核函数参数进行寻优。能有效提取暗场图像中的缺陷,但四阈值分割时,寻优结果不准确,二维熵多阈值分割存在实时性差的问题。文献[61]提出了一种基于无监督学习的检测方法,即预训练残差卷积自编码器(residual convolutional autoencoder, RCAE)以区分更多表征。其对类不平衡有强鲁棒性,且无需大量标记数据,在不同尺度的缺陷图像中,识别准确率变化大,仅使用了 CAE 和 Deep SCDD 进行对照,对比模型过少。文献[62]使用卷积去噪自编码器(convolutional denoising auto-encoder, CDAE)重构无缺陷图像,和原始图像相减获得包含缺陷信息的残差图,并提

出了重叠分块策略来抑制重构噪声,通过在真实芯片表面进行测试,验证了所提方法在芯片表面检测上的有效性。但该方法只能分割无法进行分类,且存在错误分割窄小缺陷的情况。文献[63]提出了一种基于反向传播神经网络(backpropagation neural network, BPNN)的检测算法。使用中值滤波方法滤除芯片表面图像的噪声,并采用核主成分分析(kernel principal component analysis, KPCA)算法降维级联后的特征,但对中心、局部和边缘局部等类型缺陷的检测精度偏低。针对传统印刷电路板芯片,尤其是小型芯片的极性检测算法准确性的不足,文献[64]提出一种基于深度学习的电路板芯片极性检测方法。该方法首先使用模板匹配对不同电路板上不同型号芯片进行识别定位;其次,对电路板参考图像与待测图像进行配准、灰度化、二值化,并对两幅图像进行差分处理得到差分图;最后,结合芯片识别定位结果提取差分图中的芯片区域,并采用提出的 CNN 实现对芯片的极性检测。

3.2 基于深度学习的检测方法

芯片表面的缺陷区域相对较小,但蕴含着丰富的信息。传统的计算机视觉技术在处理微小缺陷时效果不佳。与传统机器学习方法相比,基于深度学习的检测方法具有端到端的优势,灵活性高、准确性强、网络表达能力强,且无需人工干涉。深度学习模型采用多层次的非线性变换来学习数据的特征,通常由多个神经网络层组成。这些层逐渐提高模型的性能,自动提取特征,使其成为芯片表面和封装体缺陷检测的理想选择。神经网络的发展历程如图 7 所示。

分类网络:	GoogleNet	DenseNet	ShuffleNet							
	VGG	MobileNet	SENet	HRNet						
	YOLOv1	Transformer	CornerNet	FCOS						
	ResNet									
检测网络:	R-CNN	Faster R-CNN	YOLOv2	FPN	YOLOv3	CenterNet	YOLOv5	YOLOX	YOLOv7	YOLOv8
	Fast R-CNN	SSD	RetinaNet	Cascade R-CNN	EfficientDet	YOLOv4			YOLOv6	
			Mask R-CNN							
分割网络:	FCN	U-Net	DeepLabv1	Mask R-CNN	PANet	HRNet	U ² -Net			
		SegNet	DeepLabv2	PSPNet	DeepLabv3++	DANet				
			LinkNet	U-Net++	OCRNet					

图 7 深度学习网络的发展历程

Fig. 7 Development history of deep learning network

1) 检测网络

使用深度学习技术的检测网络,需要通过大规模样本数据的训练,学习缺陷的特征表征,高效准确地检测和定位缺陷。在芯片表面缺陷检测中,最流行的检测网络是 YOLO(you only look once)^[65]系列网络,它采用单阶段检测方法,将输入图像分割成网格,并直接从每个网格单元中预测边界框和类别概率。

文献[66]提出了一种注意力机制和 YOLOv4 相结合的微小缺陷检测目标网络 YOLOv4-SA,该网络由特征提取主干、空间注意模块和特征融合模块组成。并提出了第 1 个芯片表面缺陷数据集,包含真实的缺陷图像和合成的缺陷图像。但需要和大型分类网络级联部署,模型体积大,参数学习成本高,训练测试数据集缺陷种类少,生成模式单一。文献[14]使用 YOLOv3 网络检测芯片缺

陷,并对其进行微调,最终 mAP 达到 86.36%。其引入标签平滑法增加样本噪声,增强网络的泛化能力,模型压缩试验对 YOLOv3 网络进行剪枝,大大减少网络参数的数量和计算量。但所取的评价指标单一,选取不同的激活函数对网络的检测性能提升不大。文献[15]提出了一种基于 YOLOv4 的小目标检测方法 SO-YOLO 算法。其选取 CspDarknet53^[67] 作为元网络结构,采用一种新的特征融合方法对整个 PANet 进行优化。参数数量、分类和检测精度均优于原始 YOLOv4 模型,经过特征融合法和剪枝后的模型更适合小目标检测,但缺乏与最新 YOLO 系列网络的对比。文献[68]利用 YOLOv3 网络检测一种表面贴装器件发光二极管芯片 SMD LED。该模型可以识别芯片缺失的组件、反极性电线和带有缺陷的表面。组合使用 Taguchi 方法设计的超参数,能节省网络的训练时间,比传统网络有更理想的缺陷预测能力。但其训练图像过少,缺少和 DenseNet 比较的实验数据。文献[69]提出了一种基于轻量级 CNN 的载波芯片(chip on carrier, COC)缺陷检测算法 YOLO-Efficientnet。为了减少网络参数,缩短检测时间,采用轻量级网络 Efficientnet 为主干网络对图像进行特征提取。为了解决下采样过程中导致的信息丢失的问题,引入空间金字塔池化(spatial pyramid pooling, SPP)结构来增大图像的感受野,分离出更加显著的上下文特征。但检测时间比 YOLOv4-Tiny 略高,原始样本数据仅 150 张,数量过少,影响最终检测的精度。

针对芯片缺陷检测中,缺陷尺寸跨度大、特征相似、小目标难识别、漏检等问题,文献[70]提出了基于 YOLOv5 的改进的缺陷检测方法。针对缺陷尺寸跨度大、特征相似等问题,使用具有高效聚焦学习能力的特征金字塔结构(efficient attention feature pyramid networks, EA-FPNs),提升模型对不同尺寸缺陷的检测能力。其融合了自注意力机制以加强模型对小目标缺陷特征的学习能力,并解决了预测框出现冗余时,后处理时间开销大的问题,但其对变色、多金、疙瘩、脏污、钻蚀型缺陷的检测精度较低。针对芯片缺陷的尺度变化大、类内特征不统一的问题,文献[71]提出了基于 YOLOv5 的目标检测框架。通过边缘信息数据增强,丰富输入特征,提高网络对不规则缺陷的定位能力。与原 YOLOv5 相比,召回率、全类平均精度和准确率得到小幅度提高。

2) 分类网络

芯片表面缺陷检测中的分类网络大多是研究者基于现有的网络框架,添加自注意力机制、生成对抗网络、Transformer 或增强学习等新的模块或其他特征映射技术,以增强网络提取全局和局部特征和缺陷颗粒的细节信息。因此在分类网络中大部分为该领域研究者所提出的新型网络,对复杂型缺陷均取得了不错的分类效果。

文献[16]提出了一种基于 CNN 的缺陷检测器 LEDNet,在网络中使用了类激活映射技术,自动对缺陷区域进行局部化标注,能对线性缺陷和划痕准确分类,完成芯片缺陷的分类和定位,并提供了公开的 LED 芯片缺陷数据集。但无法检测非线性、大面积的其他复杂类型缺陷。文献[17]提出了一种基于 Convmixer 的局部-全局轻量级 ViT 模型(fine-coarsegrained convolution and position attention ViT, FC-Pos ViT),用于微型 LED 的芯片缺陷识别,该模型结合了 CNN 和 ViT 的优点,既能捕获细节信息,又能捕获全局信息,提出了长程位置注意力机制,以突出重要区域并捕获全局信息。其网络结构中的局部-全局 Convmixer 模块能以较少的参数和较低的计算复杂度捕获局部特征和全局信息,适用于资源受限的嵌入式或移动设备。但模型推理阶段要耗费大量的时间,不能用于实际工业检测。文献[72]使用 VGG19 预训练模型对芯片表面缺陷进行特征提取,采用尺度自适应细胞分裂分类方法(scale-adaptive cell division classification method, SA-CDCM)对芯片进行缺陷检测。有效避免产生空细胞,实现分裂细胞尺度的自适应,在跨数据集中也有较高的分类准确率。但其依赖于预训练 VGG19^[73] 模型提取、降维有效特征值,从而得到差异明显的不同原样本的另类数据。文献[74]将 CNN 和类激活映射技术相结合,在 AlexNet^[75] 模型的基础上对其改进得到 LaserChipNet 网络。但其泛化能力有限,该模型只能学习裂纹、划痕以及腔面缺陷的特征,无法检测其他类型的表面缺陷。文献[76]建立了多尺度变换和稀疏表示的图像融合框架和重构算法,实现了对芯片特征信息的增强和图像成像精度的提高。针对训练过拟合、效率低以及工业图像具有稀疏性、缺陷不明显等问题,研究了小样本状态下轻量级神经网络缺陷检测模型 LiCNN。其所用的芯片样本数据集规模小,网络模型泛化性差。文献[77]开发了一种基于光致发光测量的全卷积神经网络,用于 LED 芯片的缺陷分类。该方法在网络中使用跳跃连接结构,使网络不仅可以检测到单个缺陷,还可以检测广泛的缺陷集群。

3) 组合网络

组合网络是一种集成学习方法,通过将不同的方法或模型组合在一起,实现对更多种类且更复杂的芯片缺陷进行多次检测,以提高整体的预测性能。因此其能获得更准确、稳定和鲁棒的预测结果。文献[78]提出了一种基于几何计算和 CNN 的 LED 芯片混合缺陷的检测方法。该方法利用几何计算降维的优势,以网格分割的形式对预处理后的芯片光刻图进行缺陷粗检测。采用 CNN 对几何粗筛选后的“疑似缺陷”芯片进行二次精细检测,并对 SPP 网络模型进行改进,将原始特征图直接引入 SPP 池化层进行求和,增强特征图的全局和局部特征信息。文献[79]利用聚类算法、CNN 和注意力机制,制作

芯片分层影像缺陷区域的标签,提取基于注意力机制的芯片分层影像目标区域,并检测缺陷目标。其设计的滑动窗口网络模型比较稳定,多输入网络结构能囊括更多的芯片目标区域。但所用芯片分层影像数据范围较窄,与实际工业生产数据有较大差距。文献[80]提出了基于 CNN 的 IC 芯片图形缺陷检测方法,针对具有缺陷特征的图形图像样本集进行机器深度学习训练,可实现对 IC 芯片图形中如断线、起泡、腐蚀、划痕、裂纹、污染、崩

边等图形缺陷的识别和区分。为了识别 Mini/Micro-LED 芯片中的微小缺陷并提升易混淆样本的识别性能,文献[81]提出了一种基于局部注意力及联合损失函数的 LED 芯片缺陷识别网络 L2SNet。但其需要使用的激活函数过多,网络处理器的硬件资源消耗过大,且先定位后识别的方式增加了检测时间,数据类不平衡问题对模型影响严重。芯片表面缺陷的主要检测方法的性能与优缺点如表 6 所示。

表 6 芯片表面缺陷检测的主要方法对比

Table 6 Comparison of main methods for chip surface defect detection

类别	文献	方法	性能	优点	局限性
传统技术	[54]	缺陷分割算法+改进的 NCC 匹配算法	AP: 0.995 4	有效解决了芯片粘附、无序排列、大面积缺失等干扰,抗光照鲁棒性强	样本间差异大,采集格式不统一,数据集质量待提高
	[66]	注意力机制+YOLOv4	Acc: 0.990 8 Re: 0.981 8	可识别多种类型缺陷,检测速度满足工业检测需求	需要和大型分类网络级联部署,模型体积大,参数学习成本高
检测网络	[15]	SO-YOLO	mAP: 0.860 0	参数数量、分类和检测精度优于原始 YOLOv4 特征融合法和剪枝后模型更适合小目标检测	缺 YOLOv8 的对照实验,精度提升有限
	[68]	YOLOv3-dense	mAP: 0.952 8	组合使用 Taguchi 方法设计的超参数,缩短了训练时间	训练图像过少,改进的 YOLO 网络过旧,缺少和 DenseNet 比较的实验数据
分类网络	[16]	LEDNet	Acc: 0.949 6	能对线性缺陷精确分类,并提出了公开的 LED 数据集	无法检测非线性、大面积的其他复杂类型缺陷,需要扩大芯片缺陷数据集的规模
	[17]	FC-Pos Vit	Acc: 0.961 7	以较少的参数和较低的计算复杂度捕获局部、全局信息,适用资源受限的嵌入式或移动设备	推理需要耗费大量的时间,不能用于实际工业检测
	[77]	FCN	AP: 0.887 0	是第 1 个基于光致发光技术的 FCN 网络,添加跳跃连接结构,显著提高分类与检测精度	数据集数据稀疏缺陷种类少,未来有待扩展
组合网络	[78]	衬底定位模型 网格分割模型 SPP-CNN 模型	AP: 0.967 0	对大规模芯片样本快速粗筛选,降低了计算成本,显著提高检测速度,有良好的鲁棒性	图像扩样方式在多种芯片场景下有局限性,训练数据集缺乏多样的缺陷样本

4 芯片封装体的视觉检测方法

芯片的封装体缺陷根据部件有很多种类,国内外的研究更多集中于检测芯片的引脚缺陷、表面字符缺陷、焊点缺陷与层级封装中出现的不同层与层之间的错位、空隙的分层缺陷。芯片封装体的视觉检测需要与 NDT 成像技术相结合。按照芯片封装体的缺陷部件将相关的检测方法分成了引脚缺陷的检测方法、字符缺陷的检测方法、焊点缺陷的检测方法和分层缺陷的检测方法。

4.1 引脚缺陷的检测方法

引脚缺陷常发生于基于 QFP、SOP 等封装技术的芯片中。按照芯片引脚缺陷的检测方法是否涉及模型的训

练,分为了基于深度学习的检测法和基于传统图像处理的检测法。其中深度学习的缺陷检测法能较好的兼顾所有形状的引脚缺陷,但需要考虑数据集的标注以及计算复杂度等因素,而传统图像处理的缺陷检测法对某些类型的引脚缺陷检测效果较差,检测效率与准确度相比深度学习的检测方法有一定差距。

1) 基于传统图像处理

基于传统图像处理的引脚缺陷检测方法,首先通过统计所有位置,获取每个引脚的间距,然后针对每个引脚测量其长度、引脚宽度与弯曲程度,计算该位置引脚是否处于容许误差范围,最后判决正常与否。文献[82]利用 HALCON 视觉软件平台、采用形状匹配和一维测量算法进行检测实验。精准计算芯片引脚的个数,实现了对各

个芯片引脚宽度、长度和间距的动态精确测量。但精度和速度有待进一步提升。文献[83]以芯片引脚测量为研究对象,应用机器视觉检测系统,采用形状匹配定位芯片引脚识别区域,对芯片引脚进行相应尺寸测量,以实现芯片引脚缺陷检测。该系统具有良好的测量精度,能够准确快速实现芯片引脚的工业检测。针对双球红外接收头芯片人工缺陷检测难度大、误判率高等问题,文献[84]设计了一个基于机器视觉的引脚缺陷检测系统,对双球红外接收头芯片的引脚进行缺陷检测。但依赖于视觉软件 VisionPro 内部提供的工具,缺乏创新性。针对芯片引脚人工检测效率低、误差率高、检测装置复杂以及机器视觉识别算法性能低等问题,文献[85]提出了一种光学显微成像可调一体化检测系统装置以及基于神经网络的芯片引脚检测算法。但该系统需要百万级像素齐焦可调镜头,并需要增加抗反光的设备。针对 IC 封装芯片三维引脚外观检测的需要,文献[86]设计了一种基于机器视觉的 IC 芯片外观检测系统,解决了混合噪声去噪、模糊图像恢复困难等问题。可检测引脚底面和侧面的三维缺陷,但没有进行具体的实验和提供量化的实验数据,仅单一介绍了系统的组成。以上方法均采用传统图像处理思路进行引脚测量和缺陷检测,精度和速度有待进一步提升。

针对传统工业中 SOP 芯片引脚缺陷检测速度慢、精度低等问题,文献[87]设计了一个基于机器视觉的 SOP 芯片引脚缺陷检测系统,采用连通域标记和灰度投影算法对得到的二值芯片引脚图像进行缺陷检测。文献[88]设计了一套基于机器视觉的 SOP 芯片引脚缺陷自动检测系统。采用灰度跃变检测引脚中点、中点直线拟合和引脚间距统计等方法,实现对 SOP 芯片引脚缺陷的自动检测。以上系统都仅针对 SOP 芯片的引脚,适用性较小,需要对检测后的芯片引脚缺陷增加后续的分类分拣操作。文献[89]提出了基于机器视觉的 QFP 芯片引脚缺陷检测算法。利用区域生长法获取引脚的总数及各个引脚主体部分的形心坐标及面积。该方法具有检测速度快、误检率低的优点,但对光照、背景敏感,计算复杂度较高,稳定性有待提高。文献[90]以半导体芯片表面缺陷图像为研究对象,利用图像形态学特征实现对引脚缺陷的检测和分类。有效降低引脚和字符的检测难度。针对 PCB 中 IC 芯片的管脚焊接的在线检测问题,文献[91]提出了一种 IC 芯片管脚图像的定位、分割和管脚焊接缺陷的频域检测算法及其实现技术。该算法对 PCB 中 IC 芯片的管脚焊接缺陷检测的识别正确率高,误检率低,具有良好的鲁棒性,但对弯曲管脚的识别率低。

2) 基于深度学习

基于深度学习的引脚缺陷检测方法通常将改进的特征提取法与神经网络相结合,降低模型的复杂度,并快速

计算每个引脚尺寸,逐渐成为当前引脚缺陷检测方法中的主流。文献[92]结合残差网络(residual network, ResNet)^[93]和 Mask R-CNN(mask region-based convolutional neural network)^[94]检测电容引脚上微小的视觉缺陷。其优化了模型学习小物体的特征表达,相比传统图像处理方法,召回率和识别率有显著提升,但存在漏检现象,需要进一步增加训练集,使缺陷样本覆盖更广的特征空间。文献[95]提出一种基于高斯金字塔-自适应局部仿射匹配(Gauss pyramids-adaptive locally-additive matching, GP-AdaLAM)的缺陷检测算法,实现了引脚宽度、间距、长宽比和倾斜角度的尺寸测量及缺陷检测。解决了现有方法定位耗时长、检测误差大、检测不全面的问题。该视觉检测算法能够广泛地应用于微电子封装行业中芯片检测。文献[96]设计了基于机器视觉的芯片引脚缺陷检测与分拣系统。采用 Blob 分析与萤火虫 BP 神经网络相结合的方法实现芯片引脚的缺陷检测。达到了工业高精度、实时性的要求,提高了 SOP 芯片缺陷检测和分拣的效率,但网络结构过于简单,收敛速度慢,随机依赖性强。文献[97]提出了基于小样本图像分类的 SOP 芯片引脚缺陷检测的方法。基于 Lenet-5^[98]模型构建图像分类网络,根据引脚边界的分类结果计算芯片引脚的关键尺寸,但检测速度相对较慢。

4.2 字符缺陷的检测方法

芯片的字符缺陷检测是指在芯片制造或组装过程中,对芯片表面的文字、数字或图案等字符进行检测,以确保其质量和准确性。这些字符通常包括芯片的型号、制造商信息、日期码等。文献[99]以 2 mm×1.5 mm 的 QFN 芯片为研究对象,针对如何判断芯片表面字符缺陷类型,提出了一种动态缩小图像检测区域的加权模板匹配算法,有效地提高了图像处理准确度和速度。增强图像匹配的抗干扰能力,并有效减少了图像处理时间,但无法判断模糊字符的缺陷类型,芯片的微小倾斜会造成较大的累计误差,稳定性和实时性有待提高。针对 IC 芯片字符的分割与识别问题,文献[100]提出了一种基于字符几何特征的分割方法和一种基于字符最小外接圆的归一化与重定位方法,最后使用基于像素差分的模板匹配完成识别。能快速精准分割、识别芯片字符,具有一定鲁棒性。但对多字符,复杂字符的分割和识别方面存在进一步优化空间。文献[101]建立一种基于邻域自适应的芯片字符识别模型。将对抗学习方法融合于芯片字符位置检测中,提高了在小样本无监督条件下,芯片字符位置检测算法的检测精度。该方法一定程度上解决工业生产线上芯片检测图像采集模糊、数据量少的问题,但无法准确识别缺焊、虚焊、零件损伤等字符缺陷。文献[102]提出一种分割字符的方法来定位缺陷字符,其中对粘连字符提出了依靠边缘轮廓的分割方法,识别字符采用改进的

CNN,最小识别尺寸支持 $1.5\text{ mm}\times 1.5\text{ mm}$,精度高的同时保证了时间上的快速性,但网络结构过于简单,收敛速度慢,随机依赖性强。文献[103]基于MATLAB软件对图像进行滤波前期处理工作,提出双引脚算法对芯片的引脚做缺陷判断;最后选取多种芯片测试校验。能高效、精准地识别结构简单的芯片引脚,但对结构复杂的芯片,需要对参数进行较大的调整,适用性和调试成本过大。文献[104]提出面向芯片表面符号的结构缺陷的评估方法。采用实际的生产线数据实验,聚焦于图像符号的结构质量评估,有一定的实际应用参考价值。

4.3 焊点缺陷的检测方法

凸点焊料广泛用于表面贴装元件,在芯片/封装和基板之间提供电气和机械连接。随着焊点的尺寸和间距越来越小,检测隐藏在IC封装中的焊点缺陷变得越来越困难。安装光学元件之前通过重熔印在电路板上的锡膏形成焊点。在这一过程中,蒸发的助熔剂产生充满气体的空洞,空洞会影响焊点的热学和电学性能,从而降低焊点的可靠性。目前大部分的焊点缺陷针对倒装芯片进行检测,因此本节按照倒装芯片和其他芯片分为两小节。

1) 倒装芯片

倒装芯片的焊点缺陷与常规芯片封装中的焊接缺陷相似,但由于倒装芯片的特殊结构和焊接方式,其对倒装芯片的性能会造成更严重的影响。目前大部分研究使用NDT与机器学习相结合的方法进行检测。文献[105]提出了一种基于改进的半监督深度极限学习机(improved semi-supervised deep extreme learning machine, ISDEL M)用于倒装芯片的缺陷检测,利用极限学习机自编码器(extreme learning machine-autoencoder, ELM-AE)对原始振动信号逐层提取特征。不能对微小缺陷进行定位,依赖于振动信号分析,有一定设备门槛。文献[106]研究了一种基于SAM和模糊C均值(fuzzy C-means, FCM)算法的缺陷检测方法,从FA10的SAM的图像中分割出每个焊点的子图像,采用FCM算法进行聚类。选择凸点面积、灰度值方差和峰度来表征凸点,提高了焊点缺陷的识别精度。但仅使用了中心频率为230 MHz的换能器和FA10作为测试设备和样本,未使用其他种类的芯片进行验证。

文献[107]研究了SAM和广义回归神经网络(general regression neural network, GRNN)^[108]检测焊点缺陷的方法,选取焊点为ROI并从图像中分离,提取每个焊点的代表性特征,然后将其输入GRNN进行焊点分类。训练数据集庞大,能可视化并定位异常焊点。但在FC1中的焊点缺陷分类出现较多错误识别情况,且只能进行二分类。文献[109]研究了一种基于小波分析的分辨率增强技术,以重建高质量的倒装芯片SAM测试图像。然后利用SVM算法对SR-SAM图像分割出来的焊点进行分类。有

效地提高SAM的图像分辨率,但在FC2和FC3中的焊点分类出现错误判断情况,总误判率约为2.63%。文献[18]研究了一种基于熵权的改进FCM算法,从热图像中分割出16个焊点对应的热点。计算并选择适当的统计特征来表征FCM聚类中焊点凸起的状态。合理的热点排序分类提高了改进FCM的性能,但只能对焊点是否缺失进行二分类,识别的缺陷种类过少。文献[110]利用SAM捕获倒装芯片的图像,采用反向传播网络,将提取的图像几何特征输入到网络中进行分类识别。结果表明,该方法具有较高的识别率和可行性。

通过测量间隙来检测BGA的良率问题至关重要,传统的空洞分割方法缺乏可扩展性和准确性。文献[111]提出了一种利用多向扫描算法考虑区域信息的空洞分割方法,可用于分割低分辨率图像中的焊点空隙。文献[112]采用图像超分辨率(super-resolution, SR)方法来提高SAM成像的图像质量。研究了基于CNN的改进SR(very-deep SR, VDSR)算法重建高分辨率声学显微图像,并设计了基于CNN的焊点分类模型。重构图像的质量受模型泛化性的影响,其依然需要大量数据集的支撑。文献[19]开发了一种基于振动的倒装芯片智能检测系统。从原始振动数据中提取了34个特征,采用SVM实现倒装芯片的识别与分类,利用交叉验证(cross validation, CV)和遗传算法(genetic algorithm, GA)对SVM参数进行优化。但在训练集数量增加的情况下,依然有较高的误识别率。

针对倒装芯片内部焊点缺陷难以检测的问题,文献[113]利用核主成分分析算法改进多粒度扫描(multi-grained scanning, MGS)级联森林网络(cascade forest, CF),对含典型缺陷的倒装芯片振动信号进行识别与分类。在小样本条件下具有优异的倒装芯片焊点缺陷的识别性能,可通过芯片的振动速度幅度变化筛选不良焊点,收敛速度快。但其泛化性有待提高,只能识别良好和缺失1~2个焊点的情况,缺失更多焊点的情况无法识别。文献[114]研究了主动红外热成像的倒装芯片缺陷检测方法。因缺陷处热阻异常会引起芯片温度分布不均,该方法通过红外热像仪对芯片的温度信号进行提取。再采用SOM方法对倒装芯片缺陷进行分类与识别。提高了集成电路芯片硬件使用的稳定性和安全性,但其只能聚类完好焊点、裂纹缺陷以及焊球缺失。文献[115]提出了基于稀疏表示的SAM超分辨率重构方法,以解决空间检测分辨率受超声波频率和穿透深度的限制,而导致原始SAM图像分辨率较低、不利于封装缺陷辨识等问题。然后利用LM(levenberg-marquardt)算法改进BP神经网络LM-BP识别倒装芯片的焊点缺陷。模型训练速度快识别精度高,提高了SAM图像质量。同文献[110]一样,该方法同样存在SAM图像捕获率低,边缘效应严重的问

题,特征提取方法待改进。

2) 其他芯片

除了倒装芯片外,其他芯片封装技术如 BGA、QFN,因制造或运输中的外部机械应力同样会产生焊点的破裂和缺损等缺陷,因此同样可以采用视觉的方法对基于其他封装技术的芯片进行缺陷检测。文献[116]提出了一种基于主动热成像的 NDT 系统。选用 SFA1 和 SFA2 作为测试样本,采用多项式拟合和差分绝对对比度(differential absolute contrast, DAC)技术对热图像进行重构。从重建的热图像中提取每个焊点对应的统计特征,输入到 K-means 中进行聚类分析。但只能进行二分类。文献[117]研究了基于机器视觉的芯片封装二维缺陷检测技术,设计了基于模板匹配的焊点提取算法,将待测样品图片划分为 PD 区域、IC 区域和底座区域 3 个区域,并提出了一种基于焊点寻迹的金线区域提取方法。当中心金线弯曲到电容区域时,该方法容易出现误判,且不适用于噪声严重的场景。文献[118]在 BGA 缺陷特征提取与缺陷识别过程中,首先采用了基于扫描线的种子填充方法提取二值图像中焊点的基本特征,使用决策树对 BGA 的 X 射线缺陷图像进行分类。该方法解决了“边缘效应”,可准确分割气泡、桥连、漏焊、冷焊等缺陷,但降噪效果不佳,缺陷特征分割效率不高,对焊点的微小位移会出现误判。

文献[119]采用传统的基于阈值的方法来识别空洞,并使用神经网络计算空洞率和空隙含量。通过适当的数据集训练深度学习模型来准确地检测焊点空洞并进行分类。但模型稳定性差,数据集需要增加更多的空隙类别,可使用 Mask RCNN 以进一步提高准确性。文献[120]开发了一个全卷积网络,对基于 X 射线检测的芯片缺陷图像逐像素分类。通过专门的数据增强和网络的架构特性,克服亮度波动、数据方差大和数据集有限的问题,可使用伪彩色图像构建和迁移学习以进一步提高网络的分割能力。文献[121]开发了一种利用主动热成像技术检测焊点缺陷的智能系统。研究了一种改进的支持向量机 M-SVM,选用芯片 SFA1 和 SFA2 作为检测对象。解决了焊点缺陷检测样本量小的问题,背景噪声鲁棒性好。文献[51]提出了一种结合残差多尺度跳跃连接网络(residual multiscale skip connected net, RMSC-Net)和循环卷积网络(recurrent convolutional network, RU-Net)的方案,来准确检测片式电阻器 X 射线图像中的空隙和焊点。文献[122]用 X 射线三维显微镜对 BGA 芯片进行扫描与重建得到 3D 模型,根据 3D 可视化结果和灰度直方图选择固定阈值进行全局阈值分割,采用积分法求取焊球和空洞体积并计算空洞率。利用有限的特征信息实现对空洞的精确特征感知。文献[51,122]均未对方法的检测效率进行验证,尚不满足实际的检测需求。

针对工业高密度集成印刷电路板承载的 IC 内部故障定位难、效率低的问题,文献[123]提出一种采用红外热成像检测结合深度学习的多类型缺陷识别方法。以 FPGA 板 DDR 存储芯片为对象。构建 CNN 分类模型,并引入迁移学习拓展应用于芯片其他 9 种不同类型焊点缺陷的检测中,但其收敛速度有待提高。

4.4 分层缺陷的检测方法

对于塑料封装的半导体,分层是一种极易出现的封装缺陷,在封装工艺过程中、半导体器件使用过程中都有可能发生,特别是在潮湿环境中产品遇到高低温骤变时更是明显。芯片分层缺陷是影响芯片质量的重要因素,据悉芯片内部出现小范围的分层缺陷,该芯片就有失效的风险^[124]。由于分层缺陷存在缺陷区域和背景区域对比度低、缺陷区域面积较小、缺陷区域颜色渐变等问题,给芯片分层缺陷的检测带来了挑战。分层缺陷无法通过肉眼直接观察缺陷区域,当前一般采用射线检测、红外检测和超声检测等技术对分层缺陷进行成像处理,然后通过人工观察等手段对成像后的图像进行定点定量分析。

文献[125]提出了一种基于 Gabor 变换的芯片缺陷特征增强方法。利用 Gabor 变换对反光图像进行滤波处理,得到局部特征信息增强的图像。该方法对微小缺陷的显像精度达到了 0.04 mm,但未验证方法的检测效率。文献[126]针对塑封芯片的分层问题,搜集各种工艺参数,结合超声扫描检测法对不同生产环境下的芯片进行质量评估。文献[127]通过超声扫描检测,X 射线检测等实验方法,确定缺陷位置、大小和形状后,依据实验结果对 SC70 芯片进行针对性优化,提升产品的质量。针对传统图像处理算法的芯片缺陷检测方法,难以精确提取缺陷区域且泛化性较差的问题,文献[128]提出了结合空间注意力机制、SPP、MobileNet 和密集条件随机场(dense conditional random field, DCRF),改进了经典 U-Net 模型,提出了芯片 X 射线图像焊缝气泡缺陷的检测方法 DSSMob-U-Net,该方法对缺陷的整体和细节部分的识别取得了较好的结果,且对不同型号的芯片识别的泛化性强,但对小面积焊缝气泡区域可能出现失效,对低分辨率图像分割效果有所下降。

文献[129]设计了基于深度学习模型的塑封芯片内部缺陷识别算法。使用注意力机制提升网络对芯片内部缺陷的识别能力。整理标注了芯片检测数据集和缺陷分类数据集,但其仅对单个不良的工艺参数进行了实验。针对芯片封装缺陷检测过程中检测精度低与模型难部署的问题,文献[130]提出 YOLOv5-SPM 检测网络,在特征提取模块后增加了通道注意力机制,减少了冗余特征的干扰,进而提升目标的检测精度。但其还需要增加可识别缺陷的种类,数据集有待扩充,目前尚不可部署在工业

嵌入式设备中。芯片封装体缺陷的主要检测方法的性能、优点与局限性如表 7 所示。

表 7 芯片封装体缺陷检测的主要方法对比
Table 7 Comparison of main methods for chip package defect detection

分类	文献	方法	性能	优点	局限性
引脚缺陷	[95]	GP-AdaLAM	Acc: 0.988 0	解决了现有方法定位耗时长、检测误差大、检测不全面的问题。	精度和速度有待进一步提升
	[96]	Blob+ FA-BP	Acc: 0.998 4	自动化程度高,达到了高精度、实时性的要求,提高了工业中 SOP 芯片缺陷检测和分拣的效率	网络结构过于简单,收敛速度慢,随机依赖性强
	[97]	Lenet-5	Acc: 0.992 0	解决了现有方法精度低、成功率低的问题。可以广泛应用到 SOP 芯片引脚缺陷检测上。	检测速度相对较慢
字符缺陷	[101]	MDDA	Acc: 0.960 0	一定程度上解决工业生产线上芯片检测图像采集模糊、数据量少但要求较好检测精度的问题	无法处理缺焊、虚焊、零件损伤等字符缺陷;未对不同情况采取针对性措施;
	[103]	双引脚算法	-	能高效、精准地识别结构简单的芯片引脚	对结构复杂的芯片,需要对参数进行较大的调整,适用性和调试成本过大
焊点缺陷	[105]	ISDELM	Acc: 0.957 2	具有更高的精度和稳定性,训练时间短,在集成电路封装的检测中有重要实际意义	不能对微小缺陷进行定位,依赖于振动信号分析,有一定的设备和专业知识要求
	[107]	SAM+GRNN	Acc: 0.977 9	训练数据集庞大,高精度定位焊点并可可视化,可用于电子芯片缺陷检测中	FC1 中的焊点缺陷分类出现较多错误识别情况,且只能进行二分类。
	[19]	GA-SVM	Acc: 0.926 7	明显提高传统 SVM 的分类精度,耗时少,可用于倒装芯片在线检测	训练集数量增加的情况下,依然有较高的误识别率
	[113]	MGS-KPCA-CF	Acc: 0.979 0 Re:0.978 9	适用于小样本条件下,可通过芯片的振动速度幅度变化筛选不良焊球,收敛速度快	泛化性有待提高,只能识别良好和缺失 1~2 个焊球的情况,缺失更多焊球时无法识别
	[116]	DAC+K-means	-	热像仪检测样品的热成像清晰,为聚类算法提供了高可靠性的图像	只能进行二分类,主动热成像法需要较高质量的热像仪和技术门槛
	[121]	M-SVM	-	解决了焊点缺陷检测样本量小的问题,背景噪声鲁棒性好,特征选择工程解决样本混叠问题	
	[51]	RMSC-Net (空隙分割) RU-Net (焊点分割)	RMSC-Net (空隙分割) RU-Net (焊点分割)	实现利用有限的特征信息对空洞的精确特征感知,解决了其他分割网络的梯度分散问题	未对方法的检测效率进行验证,尚不满足实际的检测需求
[123]	CNN	Acc: 0.959 0	泛化性好,能有效检测不同板载芯片微焊点缺陷,适用于小样本数据集,表现良好鲁棒性	仅使用了一维的 CNN 模型,网络结构过于简单,收敛速度慢,随机依赖性强	
分层缺陷	[125]	Gabor 变换	-	降低硬件实现的复杂度,相比传统二维图像处理,对微小缺陷的显现精度提高一个量级	未对方法的检测效率进行验证,尚不满足实际的检测需求
	[128]	DSSMob-U-net	Acc: 0.994 9 Amp: 0.885 0 Umi: 0.772 6	缺陷的整体和细节部分的识别取得了较好的结果,对不同型号的芯片识别的泛化性强	存在小面积焊缝气泡区域未检出,对低分辨率图像分割效果有所下降
	[129]	Resnet50	Acc: 0.993 7	芯片定位与缺陷识别耗时短,整理标注了芯片检测数据集和缺陷分类数据集	仅进行了单个工艺参数不良的实验,未对芯片内部缺陷进行更细致的分类
	[130]	YOLOv5-SPM	Acc: 0.943 0	引入 SE 通道注意力机制,强化目标特征,相较于传统网络实现了精度和速度的统一提升	需要增加可识别缺陷的种类,数据集有待扩充,尚不可部署在工业嵌入式设备中

5 挑战与展望

5.1 当前挑战

尽管将机器学习和深度学习技术应用于芯片缺陷检测中,能够有效地提高精度和效率,使检测系统变得更加智能,但在将理论方法转化为实际应用时,仍然面临着诸多问题和挑战。当前半导体芯片缺陷的视觉检测方法存在如下问题。

1) 前后段测试差异大。前段测试的主要对象是芯片设计中的电路逻辑与晶圆完整性。后段测试的主要对象是芯片封装体的物理缺陷,如金属层短路、晶体管漏电等。除了测试对象不同,前后段之间还存在测试手段、时间和成本上的差异。前段测试相对较早进行,可以较早发现设计阶段的问题并修正,成本较低;后段测试因为需要使用昂贵的测试设备和时间成本较高,但是能够提供对实际物理实现的准确评估和验证。

2) 不同种芯片存在多种复杂缺陷。包括设计阶段制作阶段和测试阶段产生的复杂缺陷。不同种类的芯片在设计阶段可能存在各种电路逻辑或功能上的缺陷,如逻辑错误、时序冲突、功耗不均等。不同种类芯片的制造流程也有所不同,例如,处理器芯片可能涉及更多的晶体管尺寸控制和多层金属层的制造,而传感器芯片可能更侧重于特殊材料的使用和灵敏度的测试。在在芯片的测试阶段,可能存在未能覆盖所有设计功能或边界条件的情况,导致某些功能无法正确验证,从而造成潜在的功能性缺陷。

3) 数据类不平衡问题。缺陷率极低的封装测试数据存在严重的类不平衡性,难以清晰地定义和检测缺陷样本在特征空间中的分布和边界。使得神经网络模型难以准确地识别和区分缺陷样本。由于半导体制造工艺的可变性,封装测试数据中的不平衡程度会有所不同,这可能导致不同封装测试数据集之间缺陷样本数分布不一致,从而阻碍芯片缺陷的识别。

4) 数据的非确定性和噪声问题。芯片的缺陷检测中存在制造过程的变量、设计参数的变化、环境条件和操作变化、模型假设的不完备性等不确定问题。并且在芯片的质量检控中还包括制造中的随机噪声、测试设备的测量误差、数据采集和传输中的干扰等噪声问题。如果有噪声、不完整或不准确的数据,都会影响识别算法的性能和准确性。因此,选择合适的数据分析模型以及降低鲁棒性算法至关重要。

5) 小样本数据标注问题。芯片缺陷的检测模型需要大量标注的数据支撑,而目前公开的大型数据集较少,大部分为私有数据集,且芯片缺陷数据的标注任务较耗时。人工标注需要较强的专业性和一致性,少数类的缺

陷数据无法全面代表整个缺陷的多样性和复杂性,导致标注不完整。对小样本数据进行有效的数据增强可能受到限制,也会影响模型在新数据上的泛化能力和稳健性。

6) 统一数据集及数据质量评估指标。不同的芯片制造商、研究机构或实验室使用不同的标准和方法来收集和记录缺陷数据,造成数据集间的差异和不兼容性。目前可用的公开数据集通常规模较小,且不足以覆盖所有可能的缺陷类型和场景。这使得在不同的应用环境中评估和比较算法的通用性和效果变得困难。且现在缺乏统一的标准,导致不同数据集中标注的质量和准确性可能存在差异,影响算法的训练和评估结果的可信度。

5.2 芯片缺陷检测技术的未来展望

为了改进现有的在线检测系统,可以考虑采用高速检测器和实时图像处理等方法来快速准确地检测缺陷。现有的 NDT 成像和识别技术可以在不损坏芯片的情况下检测出芯片中隐藏的缺陷。可以进一步提升 NDT 成像技术和缺陷检测技术性能的潜在技术突破。

1) 领域知识集成。将不同来源的缺陷数据整合到一个统一的框架中,利用知识管理系统、数据挖掘技术或人工智能工具,自动化地整合和分析大量信息,提炼出缺陷位置、类别与成因等信息。减少重新劳动,对芯片质控进行高效管理。

2) 更有效的特征提取。有效的特征提取能更适用于不同芯片种类和不同缺陷模式,现有的研究主要提取缺陷的纹理特征、频域特征、深度特征和局部特征。常用的方法如小波变换、CNN、局部二值模式和局部方向梯度直方图等。在实际的芯片缺陷的准确检测和识别中,通常需要结合多种特征提取方法,以获取更全面和准确的特征信息。

3) 数据重采样。增加少数类样本的复制或生成,使得少数类样本在数据集中的比例增加,或减少多数类样本的数量,以平衡少数类和多数类之间的样本比例。还可以结合 SMOTE (synthetic minority over-sampling technique) 和欠采样,克服单一方法可能存在的局限性。

4) 高分辨率成像。提高各种 NDT 的检测和成像精度,现有的无损成像技术在检测小尺寸缺陷时受到分辨率的限制。未来的突破可能包括使用更高分辨率的成像设备,如原子力显微镜、高分辨率成像光学显微镜等,将微米范围的空间分辨率提高到亚微米和纳米范围。

5) 多学习机制融合。由于芯片缺陷样本数量有限,可以使用小样本数据集来训练深度学习模型,然后利用迁移学习、强化学习等方法来优化网络模型。通过结合多种学习算法,对大量无损成像数据进行训练和分析,可以构建出高效的缺陷检测模型。这些模型能够自动识别和定位不同类型的缺陷,从而提高缺陷诊断的准确性和速度。

6) 多模态融合。未来的芯片缺陷检测系统可能会采用多模态融合的方法,结合多种传感器和检测技术,从而实现对芯片缺陷的更全面和准确的检测。例如,可以结合视觉、红外、超声波和X射线等技术,以实现对不同类型缺陷的多角度检测和诊断。

7) 模型稳定性与实时性的提升。稳定和高实时性的模型能提高对芯片质量的监控能力,减少次品率,提高生产效率。通过模型压缩、剪枝和量化等技术,可以减少模型的参数数量和计算量,从而提高模型的实时性。这样可以在保持良好性能的同时,降低模型在部署时的资源消耗。通过将模型拆分为多个子模型,并在多个计算单元上并行执行,可以加速模型推理过程,提高实时性能。此外,利用分布式计算平台可以进一步提高计算效率。

上述技术突破有望进一步提升 NDT 技术、成像和缺陷识别技术的性能,提高芯片制造过程中缺陷、故障的检测能力和可靠性。

6 结 论

本文搜集了关于芯片缺陷检测方面的相关文献,并对不同的研究方法进行了比较。半导体在制作过程的物理性缺陷可包括晶圆缺陷和芯片缺陷等,其中芯片缺陷可分为表面性缺陷和封装体缺陷。芯片表面性缺陷的检测方式逐渐由传统图像处理的方式向人工智能方向发展,在缺陷检测中最常用的是YOLO系列网络,并且研究人员逐渐探索出新的网络用于芯片表面缺陷的分类中。芯片的封装方式主要包括QFP、BGA、倒装等,其缺陷主要可分为芯片的引脚缺陷、字符缺陷、焊点缺陷、分层缺陷等。分析比较了光学、声学、热学、电磁、X射线等已被广泛应用的非接触缺陷成像无损检测技术的优点和局限性。其中关于焊点缺陷检测的文献大部分集中于倒装芯片中的焊点缺陷识别。当前主流的发展趋势是采用DSP、人工神经网络、遗传算法等多模态成像互补技术,兼顾智能化和自动化,避免人为错误,满足市场和行业发展需求。现阶段的问题集中于芯片的多种封装方式、多种缺陷模式以及硬件设备的处理速度和精度的优化与提高,未来将主要多模态、高分辨率、高速成像等技术上实现突破。最后希望本文能为后续的研究提供有价值的参考。

参考文献

- [1] 苏昊,李文豪,李俊龙,等. 晶圆级 Micro-LED 芯片检测技术研究进展[J]. 液晶与显示, 2023, 38(5): 582-594.
SU H, LI W H, LI J L, et al. Research progress in wafer-level Micro-LED chip inspection technology [J]. Chinese Journal of Liquid Crystals and Displays, 2023, 38(5): 582-594.
- [2] 赵朗月,吴一全. 基于机器视觉的表面缺陷检测方法研究进展[J]. 仪器仪表学报, 2022, 43(1): 198-219.
ZHAO L Y, WU Y Q. Research progress on surface defect detection methods based on machine vision [J]. Chinese Journal of Scientific Instrument, 2022, 43(1): 198-219.
- [3] 何存富,郑明方,吕炎,等. 超声导波检测技术的发展、应用与挑战[J]. 仪器仪表学报, 2016, 37(8): 1713-1735.
HE C F, ZHENG M F, LYU Y, et al. Development, application and challenges of ultrasonic guided wave detection technology [J]. Chinese Journal of Scientific Instrument, 2016, 37(8): 1713-1735.
- [4] 王新宇,蒋三新. 芯片缺陷检测综述[J]. 现代制造技术与装备, 2022, 58(5): 94-98.
WANG X Y, JIANG S X. Overview of chip defect detection [J]. Modern Manufacturing Technology and Equipment, 2022, 58(5): 94-98.
- [5] ALAM L, KEHTARNAVAZ N. A survey of detection methods for die attachment and wire bonding defects in integrated circuit manufacturing [J]. IEEE Access, 2022, 10: 83826-83840.
- [6] ARYAN P, SAMPATH S, SOHN H. An overview of non-destructive testing methods for integrated circuit packaging inspection[J]. Sensors, 2018, 18(7): 1981.
- [7] FANG T Y, AN J SH, CH Q, et al. Progress and comparison in nondestructive detection, imaging and recognition technology for defects of wafers, chips and solder joints[J]. Nondestructive Testing and Evaluation, 2023, 39(2): 1-56.
- [8] SU L, YU X N, LI K, et al. Simulation and experimental verification of edge blurring phenomenon in microdefect inspection based on high-frequency ultrasound[J]. IEEE Access, 2019, 7: 11515-11525.
- [9] TAN C W, CHAN Y C, LEUNG B, et al. Effects of soft beam energy on the microstructure of Pb37Sn, Au20Sn, and Sn3.5Ag0.5Cu solder joints in lensed-SM-fiber to laser-diode-affixing application[J]. Optics and Lasers in Engineering, 2008, 46(1): 75-82.
- [10] 易冬柏,陈恒,何乐年. 嵌入式神经网络加速器及 SoC 芯片[J]. 仪器仪表学报, 2021, 42(7): 155-163.
YI D B, CHEN H, HE L N. Embedded neural network accelerator and SoC chip [J]. Chinese Journal of Scientific Instrument, 2021, 42(7): 155-163.

- [11] KUNWAR A, MA H, MA H, et al. On the thickness of Cu₆Sn₅ compound at the anode of Cu/liquid Sn/Cu joints undergoing electromigration [J]. *Journal of Materials Science. Materials in Electronics*, 2016, 27(7): 7699-7706.
- [12] HUANG M L, ZHAO J F, ZHANG Z J, et al. Role of diffusion anisotropy in β -Sn in microstructural evolution of Sn-3.0Ag-0.5Cu flip chip bumps undergoing electromigration [J]. *Acta Materialia*, 2015, 100: 98-106.
- [13] ZHU Q S, GAO F, MA H C, et al. Failure behavior of flip chip solder joint under coupling condition of thermal cycling and electrical current [J]. *Journal of Materials Science. Materials in Electronics*, 2018, 29(6): 5025-5033.
- [14] YANG X Y, DONG F Y, LIANG F, et al. Chip defect detection based on deep learning method [C]. 2021 International Conference on Power Electronics, Computer Applications (ICPECA), 2021: 215-219.
- [15] HUANG H X, TANG X D, WEN F, et al. Small object detection method with shallow feature fusion network for chip surface defect detection [J]. *Scientific Reports*, 2022, 12(1): 3914.
- [16] LIN H, LI B, WANG X G, et al. Automated defect inspection of LED chip using deep convolutional neural network[J]. *Journal of Intelligent Manufacturing*, 2019, 30(6): 2525-2534.
- [17] WEI L Y, CAI J P, WEN K L, et al. Local-global lightweight ViT model for mini/micro-LED-chip defect recognition[J]. *Engineering Applications of Artificial Intelligence*, 2023, 123: 106247.
- [18] LU X N, SHI T L, WANG S Y, et al. Intelligent diagnosis of the solder bumps defects using fuzzy C-means algorithm with the weighted coefficients [J]. *Science China Technological Sciences*, 2015, 58(10): 1689-1695.
- [19] LI K, WANG L Y, WU J J, et al. Using GA-SVM for defect inspection of flip chips based on vibration signals[J]. *Microelectronics Reliability*, 2018, 81: 159-166.
- [20] ZHU J L, LIU J M, XU T L, et al. Optical wafer defect inspection at the 10 nm technology node and beyond[J]. *International Journal of Extreme Manufacturing*, 2022, 4(3): 032001.
- [21] RYABKO M, SHCHEKIN A, KOPTYAEV S, et al. Through-focus scanning optical microscopy (TSOM) considering optical aberrations: Practical implementation[J]. *Optics Express*, 2015, 23(25): 32215-32221.
- [22] POPESCU G, IKEDA T, DASARI R R, et al. Diffraction phase microscopy for quantifying cell structure and dynamics[J]. *Optics Letters*. 2006, 31(6): 775-777.
- [23] ZHOU R, EDWARDS C, ARBABI A, et al. Detecting 20 nm wide defects in large area nanopatterns using optical interferometric microscopy [J]. *Nano Letters*, 2015, 13(8): 3716-3721.
- [24] GODDARD L. Detecting nanoscale perturbations using new forms of optical microscopy [C]. *Modeling Aspects in Optical Metrology VIII*, 2021: 1178303.
- [25] WANG C, CHEN X G, CHEN CH, et al. Reconstruction of finite deep sub-wavelength nanostructures by mueller-matrix scattered-field microscopy [J]. *Optics Express*, 2021, 29(20): 32158-32168.
- [26] CHEN CH, CHEN X G, GU H G, et al. Calibration of polarization effect of a high-numerical-aperture objective lens with Mueller matrix polarimetry [J]. *Measurement Science and Technology*, 2018, 30(2): 025201.
- [27] CHO S, LEE J, KIM H, et al. Super-contrast-enhanced darkfield imaging of nano objects through null ellipsometry[J]. *Optics Letters*, 2018, 43(23): 5701-5704.
- [28] WEN Y H, CHREMMOS I, CHEN Y J, et al. Arbitrary multiplication and division of the orbital angular momentum of light[J]. *Physical Review Letters*, 2020, 124(21): 213901.
- [29] WANG B, TANKSALVALA M, ZHANG ZH, et al. A new metrology technique for defect inspection via coherent fourier scatterometry using orbital angular momentum beams [C]. *Metrology, Inspection and Process Control for Semiconductor Manufacturing*, 2021: 116110L.
- [30] CHEN C W, CHEN M F, CHEN C Y, et al. An automatic optical system for micro-defects inspection on 5 surfaces of a chip [C]. 2016 International Conference on Manipulation, Automation and Robotics at Small Scales (MARSS), 2016: 1-5.
- [31] KUBOTA J, OKADA H, MUSHA Y, et al. Electronic scanning of 25 MHz ultrasound for imaging IC packages [C]. *IEEE 1988 Ultrasonics Symposium Proceedings*, 1988: 767-770.
- [32] YALAMANCHILI P, CHRISTOU A, MARTELL S, et al. C-SAM sounds the warning for IC packaging defects[J]. *IEEE Circuits and Devices*, 1994, 10(4): 36-41.
- [33] ONG S H, TAN S H, TAN K T. Acoustic microscopy reveals IC packaging hidden defects [C]. *Proceedings of*

- the 1997 1st Electronic Packaging Technology Conference, 1997: 297-303.
- [34] MA L L, BAO SH X, LYU D CH, et al. Application of C-mode scanning acoustic microscopy in packaging[C]. 2007 8th International Conference on Electronic Packaging Technology, 2007: 1-6.
- [35] ADAMS T. Acoustic micro imaging of flip chip interconnects[J]. III-Vs Review, 1995, 8(5): 50-52.
- [36] ABDUL J, GUO N, DU H, et al. Non-destructive evaluation of the interface between silicon dies and copper leadframes in integrated circuit packaging [J]. Experimental Mechanics, 2004, 44: 113-120.
- [37] YANG R S H, BRADEN D R, ZHANG G M, et al. Through lifetime monitoring of solder joints using acoustic micro imaging[J]. Soldering & Surface Mount Technology, 2012, 24(1): 30-37.
- [38] YANG R S H, BRADEN D R, ZHANG G M, et al. An automated ultrasonic inspection approach for flip chip solder joint assessment [J]. Microelectronics and Reliability, 2012, 52(12): 2995-3001.
- [39] PALOMARES J B G, HSIEH S J. Modelling and predicting hidden solder joint shape using active thermography and parametric numerical analysis [C]. Thermosense: Thermal Infrared Applications XXXVI, 2014: 91050Q.
- [40] LU X N, SHI T L, XIA Q, et al. Thermal conduction analysis and characterization of solder bumps in flip chip package[J]. Applied Thermal Engineering, 2012, 36: 181-187.
- [41] HE ZH ZH, WEI L, SHAO M H, et al. Detection of micro solder balls using active thermography and probabilistic neural network [J]. Infrared Physics & Technology, 2017, 81: 236-241.
- [42] CHAI T C, WONGI B S, BAI W M, et al. A novel defect detection technique using active transient thermography for high density package and interconnections [C]. 53rd Electronic Components and Technology Conference, 2003: 920-925.
- [43] YANG J, HWANG S, AN Y K, et al. Multi-spot laser lock-in thermography for real-time imaging of cracks in semiconductor chips during a manufacturing process[J]. Journal of Materials Processing Technology, 2016, 229: 94-101.
- [44] ZHOU X Y, XUE Y, TIAN G Y, et al. Thermal analysis of solder joint based on eddy current pulsed thermography[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2017, 7(7): 1111-1118.
- [45] GAUDESTAD J, OROZCO A. Magnetic current imaging of a TSV short in a 3D IC[J]. Additional Conferences 2015: 001408-001428.
- [46] POSTOLACHE O, RIBEIRO A L, RAMOS H G. GMR array uniform eddy current probe for defect detection in conductive specimens [J]. Measurement, 2013, 46(10): 4369-4378.
- [47] CHAO W, YA ZH, PENG G. GMR based eddy current system for defect detection [C]. 2013 IEEE 11th International Conference on Electronic Measurement & Instruments, 2013,2: 1052-1056.
- [48] MAI-KHANH N N, IIZUKA T, NAKAJIMA S, et al. High-sensitivity micro-magnetic probe for the applications of safety and security [C]. 2017 7th International Conference on Integrated Circuits, Design, and Verification (ICDV), 2017: 10-15.
- [49] KOVACS R. X-ray inspection systems and applications[C]. 27th International Spring Seminar on Electronics Technology: Meeting the Challenges of Electronics Technology Progress, 2004,1: 14-19.
- [50] HORIKOSHI K, SHIRAKAWA Y. An X-ray radiography system for pipe weld inspection using a real-time image integration method [J]. Transactions of the Society of Instrument and Control Engineers, 1996, 32(6): 811-819.
- [51] PANG SH L, CHEN M Y, TA SH W, et al. Void and solder joint detection for chip resistors based on X-ray images and deep neural networks [J]. Microelectronics and Reliability, 2022, 135: 114587.
- [52] KUTUKOVA K, GLUCH J, KRAATZ M, et al. In-situ X-ray tomographic imaging and controlled steering of microcracks in 3D nanopatterned structures [J]. Materials & Design, 2022, 221: 110946.
- [53] HAUKE C, LEGHISSA M, MERTELMEIER T, et al. Moiré artefact reduction in talbot-Lau X-ray imaging[C]. 2018 IEEE 15th International Symposium on Biomedical Imaging (ISBI 2018), 2018: 57-60.
- [54] XU L, HU X J, HE T, et al. Defect detection on LED chips based on position preestimation and feature enhancement [J]. Applied Sciences, 2022, 12(3): 1265.
- [55] 汤凡. 基于数字全息芯片表面缺陷检测技术[D]. 成都: 电子科技大学, 2023.
- TANG F. Chip surface defect detection technology based on digital holography [D]. Chengdu: University of Electronic Science and Technology of China, 2023.
- [56] 周扬眉, 罗开礼, 孙怀义, 等. 基于图像处理技术的芯片表面缺陷检测系统的设计与实现[J]. 自动化与

- 仪器仪表, 2021, 44(1): 182-184,188.
- ZHOU Y M, LUO K L, SUN H Y, et al. Design and implementation of chip surface defect detection system based on image processing technology[J]. Automation & Instrumentation, 2021, 44(1): 182-184,188.
- [57] 冯莉, 龚子华. 基于序贯相似性与光源自动调节的芯片表面缺陷检测算法[J]. 现代电子技术, 2017, 40(5): 58-62.
- FENG L, GONG Z H. Chip surface defect detection algorithm based on sequential similarity and automatic light source adjustment [J]. Modern Electronics Technique, 2017, 40(5): 58-62.
- [58] 张莹, 龚涛, 孔繁珍. 基于分类算法的集成电路芯片缺陷分析[J]. 集成电路应用, 2019, 36(10): 14-15.
- ZHANG Y, GONG T, KONG F ZH. Integrated circuit chip defect analysis based on classification algorithm[J]. Application of IC, 2019, 36(10): 14-15.
- [59] 彭亚茹. 基于深度学习的零件表面缺陷检测图像增强技术研究[D]. 武汉: 华中科技大学, 2022.
- PENG Y R. Research on image enhancement technology for surface defect detection of parts based on deep learning[D]. Wuhan: Huazhong University of Science and Technology, 2022.
- [60] 陈恺. 集成电路芯片表面缺陷视觉检测关键技术研究[D]. 南京: 东南大学, 2017.
- CHEN K. Research on key technologies for visual inspection of surface defects of integrated circuit chips[D]. Nanjing: Southeast University, 2017.
- [61] PARK S, KO J H. Robust inspection of microled chip defects using unsupervised anomaly detection[C]. 2021 International Conference on Information and Communication Technology Convergence (ICTC), 2021: 1841-1843.
- [62] 罗月童, 卞景帅, 张蒙, 等. 基于卷积去噪自编码器的芯片表面弱缺陷检测方法[J]. 计算机科学, 2020, 47(2): 118-125.
- LUO Y T, BIAN J SH, ZHANG M, et al. Chip surface weak defect detection method based on convolutional denoising autoencoder [J]. Computer Science, 2020, 47(2): 118-125.
- [63] 付纯鹤, 高荣荣, 王军帅, 等. 基于人工智能的芯片表面缺陷检测研究[J]. 电子工业专用设备, 2019, 48(1): 45-48.
- FU CH H, GAO R R, WANG J SH, et al. Research on chip surface defect detection based on artificial intelligence [J]. Equipment for Electronic Products Manufacturing, 2019, 48(1): 45-48.
- [64] 王猛, 陈健, 万佳泽, 等. 基于深度学习的 PCB 芯片极性检测算法[J]. 电子器件, 2023, 46(3): 764-770.
- WANG M, CHEN J, WAN J Z, et al. PCB chip polarity detection algorithm based on deep learning[J]. Chinese Journal of Electron Devices, 2023, 46(3): 764-770.
- [65] REDMON J, DIVVALA S, GIRSHICK R, et al. You only look once: Unified, real-time object detection[C]. 29th IEEE Conference on Computer Vision and Pattern Recognition, 2016: 779-788.
- [66] WANG SH, WANG H Y, YANG F, et al. Attention-based deep learning for chip-surface-defect detection[J]. The International Journal of Advanced Manufacturing Technology, 2022, 121(3/4): 1957-1971.
- [67] BOCHKOVSKIY A, WANG C Y, LIAO H Y M. YOLOv4: Optimal speed and accuracy of object detection[J]. ArXiv preprint arXiv:2004.10934, 2020.
- [68] CHEN S H, TSAI C C. SMD LED chips defect detection using a YOLOv3-dense model[J]. Advanced Engineering Informatics, 2021, 47: 101255.
- [69] 周天宇, 朱启兵, 黄敏, 等. 基于轻量级卷积神经网络的载波芯片缺陷检测[J]. 计算机工程与应用, 2022, 58(7): 213-219.
- ZHOU T Y, ZHU Q B, HUANG M, et al. Carrier chip defect detection based on lightweight convolutional neural network [J]. Computer Engineering and Applications, 2022, 58(7): 213-219.
- [70] 张恒, 程成, 袁彪, 等. 基于 YOLOv5-EA-FPNs 的芯片缺陷检测方法研究[J]. 电子测量与仪器学报, 2023, 37(5): 36-45.
- ZHANG H, CHENG CH, YUAN B, et al. Research on chip defect detection method based on YOLOv5-EA-FPNs[J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(5): 36-45.
- [71] 郭伟峰, 赵倩. 强化空间感知的多尺度芯片表面缺陷检测算法[J]. 仪表技术与传感器, 2023(8): 120-126.
- GUO W F, ZHAO Q. Multiscale chip surface defect detection algorithm with enhanced spatial perception[J]. Instrument Technique and Sensor, 2023(8): 120-126.
- [72] 宋朋, 费胜巍. 基于尺度自适应细胞分裂的芯片表面缺陷检测[J/OL]. 东华大学学报(自然科学版), 1-10 [2024-08-28].
- SONG P, FEI SH W. Chip surface defect detection based on scale-adaptive cell division[J/OL]. Journal of Donghua University(Natural Science), 1-10[2024-08-28].
- [73] SIMONYAN K, ZISSERMAN A. Very deep convolutional networks for large-scale image recognition [J]. ArXiv preprint arXiv:1409.1556, 2014.

- [74] 李明. 基于深度卷积网络的激光芯片缺陷检测技术的研究[D]. 太原: 太原理工大学, 2020.
LI M. Research on laser chip defect detection technology based on deep convolutional network [D]. Taiyuan: Taiyuan University of Technology, 2020.
- [75] KRIZHEVSKY A, SUTSKEVER I, HINTON G E. ImageNet classification with deep convolutional neural networks [J]. Communications of the ACM, 2017, 60(6): 84-90.
- [76] 刘竞博, 毛淇, 朱云龙. 基于太赫兹图像融合与深度学习的芯片缺陷检测方法[J]. 信息与控制, 2023, 52(3): 302-312.
LIU J B, MAO Q, ZHU Y L. Chip defect detection method based on terahertz image fusion and deep learning[J]. Information and Control, 2023, 52(3): 302-312.
- [77] STERN M L, SCHELLENBERGER M. Fully convolutional networks for chip-wise defect detection employing photoluminescence images [J]. Journal of Intelligent Manufacturing, 2021, 32(1): 113-126.
- [78] ZHENG P F, LOU J J, WAN X Y, et al. Led chip defect detection method based on a hybrid algorithm[J]. International Journal of Intelligent Systems, 2023, DOI: 10.1155/2023/4096164.
- [79] 陈曙光. 基于局部注意力机制的芯片分层缺陷检测[D]. 北京: 北京化工大学, 2023.
CHEN SH G. Chip layered defect detection based on local attention mechanism [D]. Beijing: Beijing University of Chemical Technology, 2023.
- [80] 魏鹏. 基于神经网络的IC芯片图形缺陷检测技术研究[J]. 电子工业专用设备, 2021, 50(3): 35-41.
WEI P. Research on IC chip pattern defect detection technology based on neural network[J]. Equipment for Electronic Products Manufacturing, 2021, 50(3): 35-41.
- [81] 魏琳育. 神经网络处理器激活函数及在LED芯片缺陷检测中应用研究[D]. 西安: 西安电子科技大学, 2022.
WEI L Y. Research on neural network processor activation function and its application in LED chip defect detection[D]. Xi'an: Xidian University, 2022.
- [82] 杨桂华, 唐卫卫, 卢澎澎, 等. 基于机器视觉的芯片引脚测量及缺陷检测系统[J]. 电子测量技术, 2021, 44(18): 136-142.
YANG G H, TANG W W, LU P P, et al. Chip pin measurement and defect detection system based on machine vision[J]. Electronic Measurement Technology, 2021, 44(18): 136-142.
- [83] 郭梅静, 李文业. 基于机器视觉的芯片引脚检测应用研究[J]. 电子元器件与信息技术, 2023, 7(7): 26-29.
GUO M J, LI W Y. Research on application of chip pin detection based on machine vision [J]. Electronic Components and Information Technology, 2023, 7(7): 26-29.
- [84] 杨利, 陈柳松, 谢永超. 基于机器视觉的芯片引脚缺陷检测系统设计与实现[J]. 计算机测量与控制, 2021, 29(7): 16-20.
YANG L, CHEN L S, XIE Y CH. Design and implementation of chip pin defect detection system based on machine vision [J]. Computer Measurement & Control, 2021, 29(7): 16-20.
- [85] 邓海涛, 吴捷, 李建辉, 等. 基于机器视觉的芯片引脚缺陷检测研究[J]. 工业控制计算机, 2017, 30(3): 69-70, 73.
DENG H T, WU J, LI J H, et al. Research on chip pin defect detection based on machine vision[J]. Industrial Control Computer, 2017, 30(3): 69-70, 73.
- [86] 刘建峰, 李承峰. 基于机器视觉的IC芯片外观检测系统[J]. 电子制作, 2015, 41(15): 77-78.
LIU J F, LI CH F. IC chip appearance inspection system based on machine vision [J]. Practical Electronics, 2015, 41(15): 77-78.
- [87] 王建冲, 高军伟, 张炳星, 等. 基于机器视觉的SOP芯片引脚缺陷检测系统[J]. 工业仪表与自动化装置, 2022, 54(5): 32-37.
WANG J CH, GAO J W, ZHANG B X, et al. SOP chip pin defect detection system based on machine vision[J]. Industrial Instrumentation & Automation, 2022, 54(5): 32-37.
- [88] 李本红, 张森, 欧幸福. 基于机器视觉的SOP芯片引脚缺陷检测系统设计与实现[J]. 电子器件, 2017, 40(1): 171-178.
LI B H, ZHANG M, OU X F. Design of SOP chip pin defect detection system based on machine vision [J]. Chinese Journal of Electron Devices, 2017, 40(1): 171-178.
- [89] 陈广锋, 王琳霞, 席伟, 等. 基于区域生长法的QFP芯片引脚缺陷检测算法[J]. 东华大学学报(自然科学版), 2020, 46(3): 401-407.
CHEN G F, WANG L X, XI W, et al. QFP chip pin defect detection algorithm based on region growing method[J]. Journal of Donghua University (Natural Science), 2020, 46(3): 401-407.
- [90] 徐立君, 李嘉毅, 刘佳男, 等. 基于图像识别的芯片引脚缺陷检测算法的研究[J]. 吉林师范大学学报

- (自然科学版), 2022, 43(2): 67-73.
- XU L J, LI J Y, LIU J N, et al. Research on chip pin defect detection algorithm based on image recognition[J]. Journal of Jilin Normal University (Natural Science Edition), 2022, 43(2): 67-73.
- [91] 代镛. 一种 IC 芯片管脚焊接缺陷频域检测算法的研究[J]. 电子技术应用, 2008, 50(4): 77-80.
- DAI L. Research on a frequency domain detection algorithm for IC chip pin soldering defects [J]. Application of Electronic Technique, 2008, 50 (4): 77-80.
- [92] CHENG CH, DAI N, HUANG J, et al. Capacitance pin defect detection based on deep learning[J]. Journal of Combinatorial Optimization, 2022, 44(5): 3477-3494.
- [93] HE K M, ZHANG X Y, REN SH Q, et al. Deep residual learning for image recognition [J]. 2016 IEEE Conference on Computer Vision and Pattern Recognition (CVPR), 2016: 770-778.
- [94] HE K M, GKIOXARI G, DOLLÁR P, et al. Mask R-CNN[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2020, 42(2): 386-397.
- [95] 杜佳伟, 彭劲松, 何贞志, 等. 基于 GP-AdaLAM 的芯片引脚缺陷快速检测算法[J]. 厦门大学学报(自然科学版), 2023, 62(4): 638-646.
- DU J W, PENG J S, HE ZH ZH, et al. Rapid detection algorithm of chip pin defects based on GP-AdaLAM[J]. Journal of Xiamen University (Natural Science), 2023, 62(4): 638-646.
- [96] 王建冲, 高军伟. 基于机器视觉的芯片引脚缺陷检测与分拣系统 [J]. 仪表技术与传感器, 2023 (6): 56-63.
- WANG J CH, GAO J W. Chip pin defect detection and sorting system based on machine vision [J]. Instrument Technique and Sensor, 2023(6): 56-63.
- [97] 吉训生, 李键升, 董越. 基于小样本图像分类的芯片引脚缺陷检测方法 [J]. 激光杂志, 2023, 44(12): 56-62.
- JI X S, LI J SH, DONG Y. Chip pin defect detection method based on small sample image classification [J]. Laser Journal, 2023, 44(12): 56-62.
- [98] LECUN Y, BOTTOU L, BENGIO Y, et al. Gradient-based learning applied to document recognition [J]. Proceedings of the IEEE, 1998, 86(11): 2278-2324.
- [99] 张静平. 基于机器视觉的 QFN 芯片表面检测系统设计 [D]. 南京: 东南大学, 2017.
- ZHANG J P. Design of QFN chip surface inspection system based on machine vision [D]. Nanjing: Southeast University, 2017.
- [100] 郭晓峰, 王耀南, 毛建旭. 基于几何特征的 IC 芯片字符分割与识别方法 [J]. 智能系统学报, 2020, 15(1): 144-151.
- GUO X F, WANG Y N, MAO J X. IC chip character segmentation and recognition method based on geometric features [J]. CAAI Transactions on Intelligent Systems, 2020, 15(1): 144-151.
- [101] 万乃嘉. 基于领域自适应的芯片字符检测技术研究 [D]. 成都: 电子科技大学, 2021.
- WAN N J. Research on chip character detection technology based on domain adaptation [D]. Chengdu: University of Electronic Science and Technology of China, 2021.
- [102] 唐铭豆, 陶青川, 冯谦. 基于神经网络的芯片表面字符检测识别系统 [J]. 现代计算机 (专业版), 2018(9): 40-45.
- TANG M D, TAO Q CH, FENG Q. Chip surface character detection and recognition system based on neural network [J]. Modern Computer, 2018 (9): 40-45.
- [103] 吴文轩, 陈方斯, 刘建锋, 等. 基于 MATLAB 软件的图像处理技术在电子元器件引脚缺陷检测的应用 [J]. 福建轻纺, 2018, 37(1): 42-46.
- WU W X, CHEN F S, LIU J F, et al. Application of image processing technology based on MATLAB software in electronic component pin defect detection [J]. The Light & Textile Industries of Fujian, 2018, 37 (1): 42-46.
- [104] 饶永明, 吴帅, 闫峰, 等. 芯片表面印刷符号结构缺陷的质量评估方法研究 [J]. 计算机工程与科学, 2019, 41(9): 1642-1649.
- RAO Y M, WU SH, YAN F, et al. Research on quality assessment method of structural defects of printed symbols on chip surface [J]. Computer Engineering & Science, 2019, 41(9): 1642-1649.
- [105] SU L, ZHANG S Y, JI Y, et al. A novel approach for flip chip inspection based on improved SDELM and vibration signals [J]. Science China Technological Sciences, 2022, 65(5): 1087-1097.
- [106] LU X N, LIU F, HE ZH ZH, et al. Defect inspection of flip chip package using SAM technology and fuzzy C-means algorithm [J]. Science China Technological Sciences, 2018, 61(9): 1426-1430.
- [107] WANG Z X, LIU X J, HE ZH ZH, et al. Intelligent detection of flip chip with the scanning acoustic microscopy and the general regression neural network [J]. Microelectronic Engineering, 2019, 217: 111127.
- [108] REN H CH, DENG J J, XIE X H. GRNN: Generative

- regression neural network——A data leakage attack for federated learning[J]. *ACM Transactions on Intelligent Systems and Technology*, 2022, 13(4): 65.
- [109] LU X N, HE ZH ZH, GUTIERREZ H, et al. Intelligent diagnosis of flip chip solder joints with resolution enhanced SAM image[J]. *ISA Transactions*, 2023, 138: 603-610.
- [110] SU L, ZHA ZH Y, LU X N, et al. Using BP network for ultrasonic inspection of flip chip solder joints[J]. *Mechanical Systems and Signal Processing*, 2013, 34(1/2): 183-190.
- [111] AHUJA V, NEELURU V K. Robust BGA void detection using multi directional scan algorithms[J]. *ArXiv preprint arXiv:1909.00211*, 2019.
- [112] WANG W, LU X N, HE ZH ZH, et al. Using convolutional neural network for intelligent SAM inspection of flip chips[J]. *Measurement Science and Technology*, 2021, 32(11): 115022.
- [113] 宿磊, 胡啸, 顾杰斐, 等. 超声激振的倒装芯片焊球缺陷检测方法研究[J]. *华中科技大学学报(自然科学版)*, 2023, 51(12): 117-122.
- SU L, HU X, GU J F, et al. Research on ultrasonic vibration flip-chip solder ball defect detection method[J]. *Journal of Huazhong University of Science and Technology (Natural Science Edition)*, 2023, 51(12): 117-122.
- [114] 徐振淞, 史铁林, 陆向宁, 等. 基于小波分析的倒装芯片主动红外缺陷检测[J]. *红外与激光工程*, 2014, 43(10): 3233-3237.
- XU ZH S, SHI T L, LU X N, et al. Active infrared defect detection of flip-chip based on wavelet analysis[J]. *Infrared and Laser Engineering*, 2014, 43(10): 3233-3237.
- [115] 陆向宁, 刘凡, 何贞志, 等. 稀疏重构 SAM 芯片焊点检测方法研究[J]. *机械工程学报*, 2023, 59(6): 95-102.
- LU X N, LIU F, HE ZH ZH, et al. Research on solder joint detection method of sparsely reconstructed SAM chip[J]. *Journal of Mechanical Engineering*, 2023, 59(6): 95-102.
- [116] LU X N, HE ZH ZH, SU L, et al. Detection of micro solder balls using active thermography technology and k-means algorithm[J]. *IEEE Transactions on Industrial Informatics*, 2018, 14(12): 5620-5628.
- [117] 谢谊. 基于机器视觉的芯片封装金线二维缺陷检测方法研究[D]. 武汉: 华中科技大学, 2022.
- XIE Y. Research on two-dimensional defect detection method of chip packaging gold wire based on machine vision[D]. Wuhan: Huazhong University of Science and Technology, 2022.
- [118] 夏石川. BGA 内部缺陷检测技术研究[D]. 太原: 中北大学, 2014.
- XIA SH CH. Research on BGA internal defect detection technology[D]. Taiyuan: North University of China, 2014.
- [119] VEENHUIZEN M. Void detection in solder bumps with deep learning[J]. *Microelectronics Reliability*, 2018, 88: 315-320.
- [120] WANKERL H, STERN M L, ALTIERI-WEIMAR P, et al. Fully convolutional networks for void segmentation in X-ray images of solder joints [J]. *Journal of Manufacturing Processes*, 2020, 57: 762-767.
- [121] WEI W, WEI L, NIE L, et al. Using active thermography and modified SVM for intelligent diagnosis of solder bumps[J]. *Infrared Physics & Technology*, 2015, 72: 163-169.
- [122] 须颖, 刘永斌, 安冬, 等. 基于 X 射线的 BGA 空洞缺陷 3D 检测方法[J]. *沈阳建筑大学学报(自然科学版)*, 2020, 36(1): 155-162.
- XU Y, LIU Y B, AN D, et al. 3D detection method of BGA void defects based on X-ray [J]. *Journal of Shenyang Jianzhu University (Natural Science)*, 2020, 36(1): 155-162.
- [123] 姜也, 黄一凡, 熊美明, 等. PCBA 板载 DDR 芯片焊点缺陷检测研究[J]. *仪器仪表学报*, 2023, 44(2): 129-137.
- JIANG Y, HUANG Y F, XIONG M M, et al. Research on PCBA board-mounted DDR chip solder joint defect detection[J]. *Chinese Journal of Scientific Instrument*, 2023, 44(2): 129-137.
- [124] 徐海卫, 曹江萍, 杜文波, 等. 无损检测技术在电子元器件失效分析中的应用[J]. *电子技术与软件工程*, 2018(24): 65-66.
- XU H W, CAO J P, DU W B, et al. Application of non-destructive testing technology in failure analysis of electronic components [J]. *Electronic Technology & Software Engineering*, 2018(24): 65-66.
- [125] 李笑容, 覃志东, 蔡勇, 等. 一种基于 Gabor 变换的芯片缺陷特征增强方法[J]. *智能计算机与应用*, 2022, 12(4): 30-34, 40.
- LI X R, QIN ZH D, CAI Y, et al. A chip defect feature enhancement method based on Gabor transform[J]. *Intelligent Computer and Applications*, 2022, 12(4): 30-34, 40.
- [126] 张富启. 半导体封装质量改善研究[D]. 广州: 华南理工大学, 2014.

ZHANG F Q. Research on semiconductor packaging quality improvement [D]. Guangzhou: South China University of Technology, 2014.

- [127] 吴云刚. 一种基于 SC70 塑封器件的封装工艺设计与优化[D]. 成都: 电子科技大学, 2020.

WU Y G. A packaging process design and optimization based on SC70 plastic packaging devices [D]. Chengdu: University of Electronic Science and Technology of China, 2020.

- [128] 李可, 吴忠卿, 吉勇, 等. 改进 U-Net 芯片 X 线图像焊缝气泡缺陷检测方法[J]. 华中科技大学学报(自然科学版), 2022, 50(6): 104-110.

LI K, WU ZH Q, JI Y, et al. Improved U-Net chip X-ray image weld bubble defect detection method [J]. Journal of Huazhong University of Science and Technology (Natural Science Edition), 2022, 50(6): 104-110.

- [129] 哈马友吉. 基于超声成像的塑封芯片内部缺陷识别方法研究[D]. 绵阳: 西南科技大学, 2021.

HAMA Y J, Research on internal defect identification method of plastic chip based on ultrasonic imaging[D]. Mianyang: Southwest University of Science and Technology, 2021.

- [130] 赖武刚, 李家楠, 林凡强. 基于改进 YOLOv5 的轻量级芯片封装缺陷检测方法[J]. 包装工程, 2023, 44(17): 189-196.

LAI W G, LI J N, LIN F Q. Lightweight chip packaging

defect detection method based on improved YOLOv5[J]. Packaging Engineering, 2023, 44(17): 189-196.

作者简介



胡志强, 2022 年于浙江工业大学获得学士学位, 现为南京航空航天大学博士研究生, 主要研究方向为图像处理与机器视觉。

E-mail: bx2204901@nuaa.edu.cn

Hu Zhiqiang received his B.Sc. degree from Zhejiang University of Technology in 2022. He is currently a Ph.D. candidate at Nanjing University of Aeronautics and Astronautics. His main research interests include image processing and machine vision.



吴一全 (通信作者), 1998 年于南京航空航天大学获得博士学位, 现为南京航空航天大学教授、博士生导师, 主要研究方向为遥感图像处理与理解、红外目标检测与识别、视觉检测与图像测量、视频处理与智能分析等。

E-mail: nuaaimage@163.com

Wu Yiquan (Corresponding author) received his Ph.D. degree from Nanjing University of Aeronautics and Astronautics in 1998. He is a professor and Ph.D. supervisor at Nanjing University of Aeronautics and Astronautics. His main research interests include remote sensing image processing and understanding, infrared target detection and recognition, visual detection and image measurement, video processing and intelligent analysis, et al.