

DOI: 10.19650/j.cnki.cjsi.J2108553

弱电网下并网逆变器锁相环优化方法*

陈继开,祝世启,李浩茹,钟 诚

(东北电力大学现代电力系统仿真控制与绿色电能新技术教育部重点实验室 吉林 132012)

摘 要:针对弱电网条件下并网逆变器锁相环精度易受电网电压畸变、频率偏移、三相电压不平衡以及直流电压偏置等工况影响的问题,本文提出一种适用于弱电网下并网逆变器的解耦双同步坐标系锁相环(DDSRF-PLL)优化方法。首先在建立 DDSRF-PLL 模型的基础上,从理论角度证明电网电压畸变和直流电压偏置是影响传统 DDSRF-PLL 锁相精度的关键因素;而后利用傅里叶变换具备抗谐波和抗直流偏置干扰的优点,提出基于滑动傅里叶变换(SFT)的频率自适应鉴相器,继而构建适用于并网逆变器的优化解耦双同步坐标系锁相环。在电网电压发生畸变时本文所提锁相环在 20 ms 内可以完成对电压相位跟踪,在电网电压存在直流偏置的情况下本文所提锁相环能在 10 ms 内快速跟踪电压相位,且相位超调量在 1°以内。实验结果表明,本文所提锁相环在弱电网环境下能快速准确的提取电网电压的频率和相位信息,有助于并网逆变器在电网电压畸变、电网电压直流偏置和电网电压不平衡等复杂工况下降低输出电流谐波含量。

关键词:弱电网;解耦双同步坐标系锁相环;滑动傅里叶变换;频率自适应;并网逆变器

中图分类号: TH86 **文献标识码:** A **国家标准学科分类代码:** 470.40

An optimized method of PLL for grid-connected inverter in the weak grid

Chen Jikai, Zhu Shiqi, Li Haoru, Zhong Cheng

(Key Laboratory of Modern Power System Simulation and Control & Renewable Energy Technology, Ministry of Education, Northeast Electric Power University, Jilin 132012, China)

Abstract: The accuracy of the phase locked loop of grid-connected inverter conditions is easily affected by grid-side voltage distortion in the weak grid, including frequency offset, three-phase voltage imbalance, and DC voltage offset. To address these issues, a decoupled double synchronous reference frame phase locked loop (DDSRF-PLL) optimization method for grid-connected inverter is proposed in this article. First, based on the formulation of the DDSRFR-PLL model, it is proved from a theoretical perspective that the grid voltage distortion and DC voltage offset are two key factors affecting the phase-lock accuracy of the conventional DDSRF-PLL. Secondly, a frequency adaptive phase discriminator based on sliding Fourier transform is proposed by using Fourier transform's advantages of suppress harmonics and DC bias. Then, a phase locked loop suitable for grid-connected inverters is established under an improved decoupled double synchronous reference frame. When the grid voltage is distorted, the proposed PLL can re-track the voltage phase within 20 ms. In the case of a DC bias in the grid voltage, the PLL could quickly track the voltage phase within 10 ms. The phase overshoot is all within 1°. Experimental results show that the PLL can quickly and accurately extract the phase information of the grid voltage in the weak grid, which helps the grid-connected inverter to reduce harmonics of the output current under complex conditions, such as grid voltage imbalance and distortion.

Keywords: weak grid; DDSRF-PLL; sliding Fourier transform; frequency adaptation; grid-connected inverter

0 引 言

随着传统火电机组占比的下降和分布式发电系统数

量的提升,我国中低压配电网(尤其是微电网)开始呈现出非线性低阻尼的弱电网性质^[1-2]。为了应对弱电网中电网电压畸变、三相电压不平衡、直流电压偏置、频率突变以及相位突变等问题,要求并网逆变器以及谐波无功

补偿等装置配备更高性能的锁相环^[3],因此研究弱电网环境下并网逆变器的锁相环技术具有一定的理论价值和实际工程意义。

同步参考坐标系锁相环(synchronous reference frame phase locked loop, SRF-PLL)因具有实现简单、动态响应快等特点,在三相系统中得到广泛应用,然而在电网电压畸变等非理想电网条件下,SRF-PLL工作性能不佳^[4]。文献[5]提出了基于双二阶广义积分器(dual second order generalized integrator, DSOGI)的锁相环,在三相不平衡和低谐波含量工况下,该锁相环能准确提取电网电压相位信息,但是当谐波含量较高时,锁相精度受到限制。文献[6]提出了双改进型 SOGI,其将 SOGI 与移动均值滤波器相结合,构成混合滤波结构,消除了电网电压畸变和直流电压偏置的影响,但是移动均值滤波器参数的设计比较复杂。文献[7]提出了解耦双同步参考坐标系锁相环(decoupled double synchronous reference frame PLL, DDSRF-PLL),通过解耦模块消除了负序电压分量的影响,但是并没有考虑谐波和直流电压偏置对锁相精度的影响。文献[8]将二阶广义积分器与正交信号发生器引入到 DDSRF-PLL 中,提高了锁相环抗谐波干扰能力,但是没有考虑直流电压偏置的影响。文献[9]将二阶与三阶广义积分器(mixed second and third-order generalized integrator, MSTOGI)结合到 DDSRF-PLL 中,并引入非线性 PI 控制器,有效减少了谐波和直流偏置对锁相环的影响,但控制器的控制效果完全依赖于非线性函数参数的选择。文献[10]将自适应滑膜观测器与传统锁相环相结合,并应用到无传感器控制中,提高其观测精度。文献[11]提出了一种前馈参考频率自适应调节的二阶广义积分锁相环,实现了锁相环对电网频率的大范围跟踪。

在弱电网环境下,锁相环对并网逆变器工作性能的影响也是当前该领域研究热点之一。文献[12]分析了锁相环动态特性对并网逆变器输出电流的影响,指出弱电网条件下锁相环动态特性会对并网逆变器输出电流的控制产生负面影响,降低系统的稳定性。文献[13]利用阻抗相角动态控制法补偿并网逆变器输出阻抗的相角,但该方法需要对电网阻抗进行实时测量,增加了硬件成本以及控制系统的复杂度。文献[14]分析了锁相环稳态误差对有源电力滤波器(active power filter, APF)工作性能的影响,指出锁相误差会使 APF 输出电流谐波含量增加,影响 APF 的谐波补偿能力。

针对上述文献分析可知,国内外学者目前对并网逆变器锁相环的研究主要集中在新型锁相环的构建以及分析其对并网逆变器稳定性的影响,而针对传统 DDSRF-PLL 在电网电压畸变和直流电压偏置等非理想电网条件下锁相环精度低的研究尚待深入。本文以 DDSRF-PLL

为研究对象,提出一种具有抗谐波和直流偏置干扰能力的频率自适应鉴相技术并应用于传统 DDSRF-PLL 中,构建一种适用于弱电网环境下并网逆变器的改进 DDSRF-PLL(DDSRF-PLL),最后利用搭建的实验平台对所提锁相环的性能以及该锁相环对并网 STATCOM 运行的影响进行验证分析。

1 弱电网下 DDSRF-PLL 锁相误差分析

受负载不对称等因素的影响,弱电网中会出现三相电压不平衡情况。在不考虑电网背景谐波的情况下,三相不平衡电压 $V_{si}(i = a, b, c)$ 一般表示为:

$$V_{si} = V_s^{+1} \cos\left(\omega t - k \frac{2\pi}{3} + \varphi^{+1}\right) + V_s^{-1} \cos\left(-\omega t - k \frac{2\pi}{3} + \varphi^{-1}\right) + V_s^0 \cos(\omega t + \varphi^0) \quad (1)$$

其中, V_s^{+1} 、 V_s^{-1} 、 V_s^0 分别为基波电压正序、负序、零序分量的幅值; φ^{+1} 、 φ^{-1} 、 φ^0 分别为正序、负序、零序电压分量的初相位;当 $i = a, b, c$ 时, k 分别为 0, 1, 2。

文献[15]指出,三相不平衡电压的正序 dq 分量可以表示为正序旋转坐标系下直流量和负序旋转坐标系下 2 倍频交流分量的耦合,而这种耦合使锁相环受到负序电压分量的影响,锁相精度降低。为消除正负序电压分量相互作用而产生的振荡,该文献提出了 DDSRF-PLL,在不考虑电网背景谐波的前提下,所提锁相环能够在电网电压不平衡工况下准确跟踪电网电压相位。

考虑电网电压畸变以及直流电压偏置时,电网电压经过 Park 变换可以表示为:

$$V_{S(\alpha\beta)} = V_s^{+1} \begin{bmatrix} \cos(\omega t + \varphi^{+1}) \\ \sin(\omega t + \varphi^{+1}) \end{bmatrix} + V_s^n \begin{bmatrix} \cos(n\omega t + \varphi^n) \\ \sin(n\omega t + \varphi^n) \end{bmatrix} \quad (2)$$

其中, n 表示谐波次数, $n = 0$ 表示直流量, $n > 0$ 时表示正序谐波分量, $n < 0$ 时表示负序谐波分量。

定义相位误差:

$$\delta_{error} = \begin{bmatrix} -\sin(\omega t + \varphi^{+1}) & \cos(\omega t + \varphi^{+1}) \end{bmatrix} \begin{bmatrix} V_{sa} \\ V_{sb} \end{bmatrix} \quad (3)$$

将式(3)代入式(1)可得到角频率为 $m\omega$ 的相位误差表达式为:

$$\delta_{error}(m\omega) = 0 + V_s^{m+1} \sin[m\omega t + \varphi^{m+1} - \varphi^{+1}] - V_s^{-m+1} \sin[m\omega t - \varphi^{-m+1} + \varphi^{+1}] \quad (4)$$

通过以上分析可知:

1) DDSRF-PLL 在三相电网电压不平衡工况下能够精准锁相,但是当电网电压含有 $m+1$ 次正序($m+1>0$)或者 $|-m+1|$ 次负序($-m+1<0$)谐波分量时,锁相误差呈 m 倍频振荡;当电网电压含直流分量时,锁相误差呈基频振

荡,具体对应关系如表 1 所示。

2) 在电网电压所含谐波分量的相序以及频率不变的情况下,谐波幅值(V_s^{m+1} 或 V_s^{-m+1}) 越大,误差信号振荡幅值也越大。

表 1 电网电压谐波与 DDSRF-PLL 锁相误差的映射关系

Table 1 Mapping relationship between grid voltage harmonics and DDSRF-PLL phase lock error Hz

DDSRF-PLL 锁相 误差振荡频率	电网电压正序 谐波频率	电网电压负序 谐波频率	直流电压
50	-	-	$0(m+1)$
300	$350(m+1=7)$	$250(-m+1=-5)$	-
600	$650(m+1=13)$	$550(-m+1=-11)$	-
900	$950(m+1=19)$	$850(-m+1=-17)$	-
...	...	...	-

2 基于滑动傅里叶变换的鉴相器设计

由第 1 节可知,电网电压畸变和直流电压偏置是影响 DDSRF-PLL 锁相精度的主要因素。文献[3]指出离散傅里叶变换在额定频率(正交滤波器工作频率等于电网频率)情况下具有很高的抗谐波和抗直流偏置干扰的能力。因此,本节借鉴离散傅里叶变换的思想提出一种变通的傅里叶变换方法,通过数学建模分析该方法在额定频率以及非额定频率(正交滤波器工作频率不等于电网频率)情况下的相位和幅值误差并进行校正,继而设计一种基于滑动傅里叶变换的鉴相器。

对称三相电网电压 V_{Sabc} 经过 Clark 变换可以得到:

$$\begin{cases} V_{S\alpha} = V_m \cos(2\pi f_g t + \theta_0) \\ V_{S\beta} = V_m \sin(2\pi f_g t + \theta_0) \end{cases} \quad (5)$$

其中, V_m 为相电压峰值, f_g 为电网频率, θ_0 为 A 相电压初相位。为了便于分析,假设 f_g 为常数。

用一组正交信号 $V_{A_j}, V_{B_j}(j=\alpha, \beta)$ 处理 $V_{S\alpha}, V_{S\beta}$, 并设置正交信号的相序与待处理信号的相序相同,令:

$$\begin{cases} V_{A\alpha} = \sin\left(2\pi f_n t + \frac{\pi}{2}\right) \\ V_{A\beta} = \sin(2\pi f_n t) \end{cases} \quad (6)$$

$$\begin{cases} V_{B\alpha} = \cos\left(2\pi f_n t + \frac{\pi}{2}\right) \\ V_{B\beta} = \cos(2\pi f_n t) \end{cases} \quad (7)$$

其中, f_n 为正交滤波器的工作频率,一般设置为电网额定频率。为了便于分析,假设 f_n 为常数。

傅里叶变换需要进行以下滑动积分:

$$\begin{cases} A_j = \frac{1}{T_n} \int_t^{t+T_n} V_{A_j} V_{S_j} dt \\ B_j = \frac{1}{T_n} \int_t^{t+T_n} V_{B_j} V_{S_j} dt \end{cases} \quad (8)$$

其中, $T_n = 1/f_n$ 。对于 f_n 的任何正值,在计算积分时要考虑两种情况:第 1 种情况是 $f_n \neq f_g$ (非额定频率情况),第 2 种情况是 $f_n = f_g$ (额定频率情况)。

2.1 非额定频率情况

由式(8)计算可得:

$$A_\alpha(t) = k' \cos(\omega' t + \theta_0 + \Delta\theta') + k'' \cos(\omega'' t + \theta_0 + \Delta\theta'') \quad (9)$$

$$A_\beta(t) = k' \cos(\omega' t + \theta_0 + \Delta\theta') - k'' \cos(\omega'' t + \theta_0 + \Delta\theta'') \quad (10)$$

$$B_\alpha(t) = k' \sin(\omega' t + \theta_0 + \Delta\theta') - k'' \sin(\omega'' t + \theta_0 + \Delta\theta'') \quad (11)$$

$$B_\beta(t) = k' \sin(\omega' t + \theta_0 + \Delta\theta') + k'' \sin(\omega'' t + \theta_0 + \Delta\theta'') \quad (12)$$

其中, $\omega' = 2\pi(f_g - f_n)$, $\omega'' = 2\pi(f_g + f_n)$, $\Delta\theta' = \omega'/(2f_n)$, $k' = V_m \sin(\Delta\theta')/(2\Delta\theta')$, $\Delta\theta'' = \omega''/(2f_n)$, $k'' = V_m \sin(\Delta\theta'')/(2\Delta\theta'')$ 。

在式(9)~(12)中,角频率为 ω' 的一项幅值较大,在额定频率情况下,该项为直流量;角频率为 ω'' 的一项幅值较小,在额定频率情况下,该项随着幅值 k'' 变为零而消失。

对式(9)和(10),式(11)和(12)分别求和可得:

$$A_t = 2k' \cos(\omega' t + \theta_0 + \Delta\theta') \quad (13)$$

$$B_t = 2k' \sin(\omega' t + \theta_0 + \Delta\theta') \quad (14)$$

观察式(13)、(14)可以发现,通过合理设置正交滤波器的相序,在没有任何后置滤波器的情况下,利用求和过程可消除由傅里叶变换带来的双频振荡^[16],从而简化了对电网电压频率和相位的确定过程。

式(14)除以式(13)可得:

$$\frac{B_t}{A_t} = \tan(\omega' t + \theta_0 + \Delta\theta') \quad (15)$$

由式(15)可以得到鉴相器级输出相位的表达式:

$$2\pi(f_g - f_n)t + \theta_0 + \Delta\theta' = \tan^{-1}\left(\frac{B_t}{A_t}\right) \quad (16)$$

通过式(16)可以看到,等式左边是额定频率为 f_n 的滤波器相位与输入信号相位之差。假设锁相环的额定频率为 f_n ,则等式右边为该锁相环鉴相器级的输出,但是非额定频率情况下的傅里叶变换会引入相位误差 $\Delta\theta'$,需要对其进行如下处理:

结合式(15)和(16)可以得到:

$$\theta_a = 2\pi f_g t + \theta_0 = \tan^{-1}\left(\frac{B_t}{A_t}\right) + 2\pi f_n t - \Delta\theta' \quad (17)$$

已知 f_g, f_n 为常数, 由式(17)可推知电网电压频率表达式:

$$f_g = \frac{1}{2\pi} \frac{d}{dt} \left(\tan^{-1} \left(\frac{B_t}{A_t} \right) \right) + f_n \quad (18)$$

一旦确定 f_g , 根据公式 $\Delta\theta' = \omega'/(2f_n)$ 就可以确定 $\Delta\theta'$, 根据式(20)可以确定 θ_a , 联立式(13)、(14)可得 A 相电压的幅值表达式:

$$V_m = \frac{\Delta\theta'}{2\sin(\Delta\theta')} \sqrt{A_t^2 + B_t^2} \quad (19)$$

2.2 额定频率情况

在额定频率 ($f_n = f_g$) 情况下, 根据式(8)可以得到:

$$A_\alpha(t) = A_\beta(t) = \frac{V_m}{2} \cos(\theta_0) \quad (20)$$

$$B_\alpha(t) = B_\beta(t) = \frac{V_m}{2} \sin(\theta_0) \quad (21)$$

因此,

$$A_t = V_m \cos(\theta_0) \quad (22)$$

$$B_t = V_m \sin(\theta_0) \quad (23)$$

二式相除可得,

$$\frac{B_t}{A_t} = \tan(\theta_0) \quad (24)$$

则鉴相器输出相位的表达式为:

$$\theta_0 = \tan^{-1} \left(\frac{B_t}{A_t} \right) \quad (25)$$

所以,

$$\theta_a = 2\pi f_g t + \theta_0 = \tan^{-1} \left(\frac{B_t}{A_t} \right) + 2\pi f_n t \quad (26)$$

$$V_m = \frac{1}{2} \sqrt{A_t^2 + B_t^2} \quad (27)$$

对比式(17)和(26)可知, 在额定频率下 $\Delta\theta'$ 消失, 额定频率情况属于一种特殊情况, 因此式(17)可以推广到额定频率和非额定频率两种情况下, 并且在两种情况的切换过程中, 相位跟踪可以做到无缝衔接。在额定频率下, $\lim_{\Delta\theta' \rightarrow 0} (\Delta\theta'/\sin\Delta\theta') = 1$, 式(19)可以推广到额定频率和非额定频率两种情况下, 并且在两种情况的切换过程中, 电压幅值跟踪可以做到无缝衔接。适应于两种情况的滑动傅里叶变换鉴相器结构如图1所示。

3 改进锁相环设计

3.1 频率自适应以及滑动积分的实现

上节所提的基于滑动傅里叶变换的鉴相器在两种运行模式下均能快速准确的提取出正序基波电压的相位信息, 但是在频率偏移工况下, 鉴相器的设计比较复杂, 并且在复杂弱电网环境下容易发生频谱泄露, 影响锁相环的锁相精度。

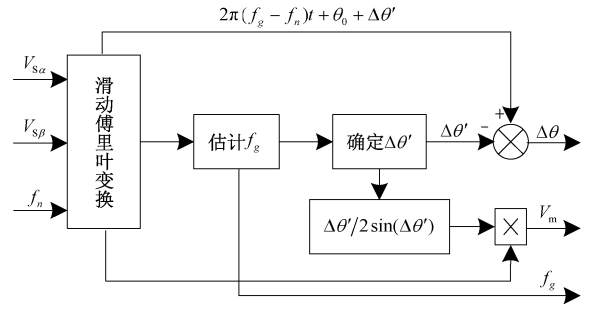


图1 滑动傅里叶变换鉴相器实现形式

Fig.1 The implementation of SFT phase detector

针对此问题, 本节在滑动傅里叶变换鉴相器的基础上引入了频率自适应技术, 首先将锁相环估计出的电网频率的倒数反馈到延迟缓冲器替代延迟周期 T_n , 使积分窗口随着电网频率的改变而改变; 其次用锁相环估计出的电网电压相角 $\hat{\theta}_g$ 替代式(6)和(7)中的 $2\pi f_n t$, 保证正交滤波器工作在额定频率模式下, 以此来减少由于频谱泄露带来的锁相误差, 使该鉴相器在复杂弱电网环境下能够快速准确的跟踪电网电压的频率和相位, 频率自适应鉴相器原理如图2所示。

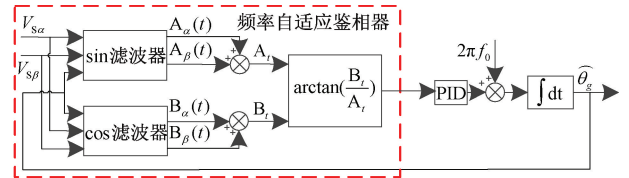


图2 频率自适应鉴相器原理图

Fig.2 Schematic diagram of frequency adaptive phase detector

图2中, f_0 为电网额定频率, sin 滤波器和 cos 滤波器模块为式(8)的计算模块。式(8)中所用到的滑动积分可以在离散采样系统中以数值方式实现, 通过在离散时间积分器之后插入时间长度为 T_n 的延迟器的方法, 在选取新的 A_j (或 B_j) 样本后获得并更新一个周期内的积分^[17], 这样, 在 T_n 上的积分会随着 A_j (或 B_j) 样本的更新而更新, 滑动积分实现形式如图3所示。

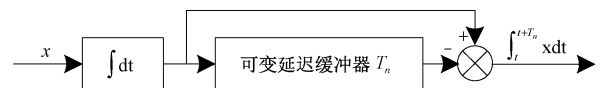


图3 滑动积分实现形式

Fig.3 The implementation of sliding integral

3.2 基于滑动傅里叶变换的 DDSRF-PLL

为了更好的抑制电网电压畸变和直流电压偏置对传统 DDSRF-PLL 锁相性能的影响,提高锁相环对弱电网环境的适用性,将 3.1 节所提出的频率自适应鉴相器与 DDSRF-PLL 结合,设计一种改进的解耦双同步参考坐标系锁相环(IDDSRF-PLL),控制框图如图 4 所示,其中基于滑动傅里叶变换(SFT)的频率自适应鉴相器控制框图如图 5 所示。

根据图 4 和 5 所示的控制结构,利用 4.1 节搭建的实验平台,在频率偏移、电网电压畸变以及直流电压偏置等因素共同作用下,对本文所提锁相环的频谱泄露抑制

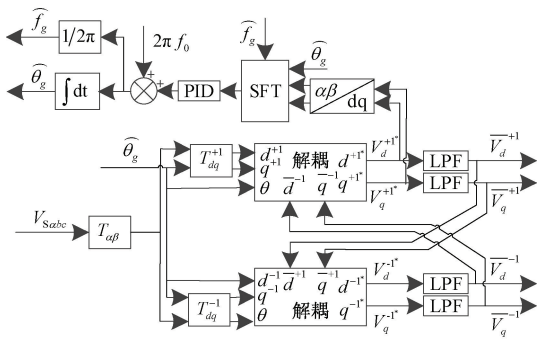


图 4 IDDSRF-PLL 控制框图

Fig. 4 Control block diagram of IDDSRF-PLL

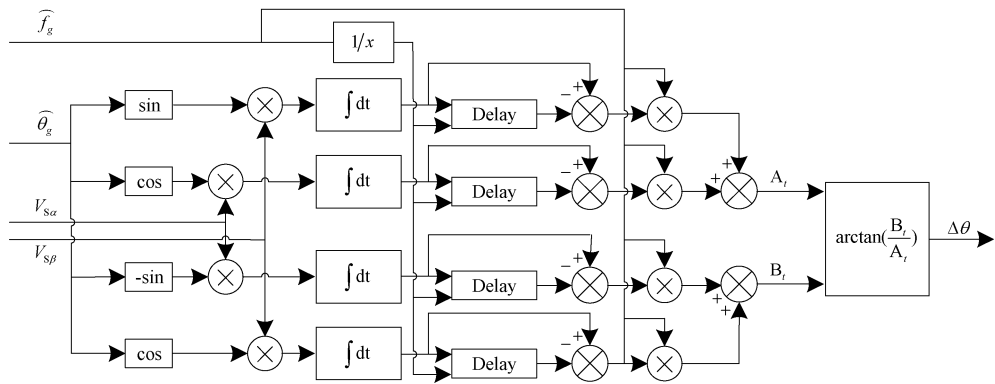
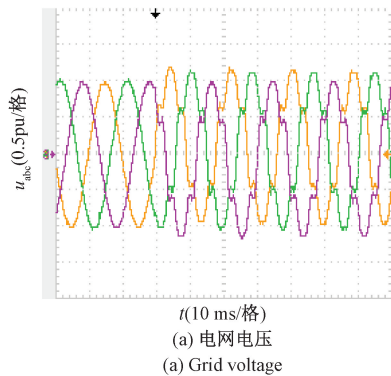


图 5 鉴相器级控制框图

Fig. 5 Control block diagram of phase detector

能力进行验证。实验中,向三相电网电压注入 0.15 pu 的 5 次负序谐波和 0.1 pu 的 7 次正序谐波,并向三相中分别注入+0.2、+0.1 和-0.1 pu 的直流电压,同时在 t_0 时段电压频率由 50 Hz 突增到 55 Hz,实验结果如图 6 所示。

对比图 6(b)、(c)可以发现,未加入频率自适应算法时,在频率偏移、电网电压畸变以及直流电压偏置等因素的共同作用下,锁相环锁相精度下降,而引入频率自适应算法后,锁相环的锁相精度得到提升,加强了锁相环对弱电网的适应性。实验结果验证了所提频率自适应技术的有效性,并且该技术提高了锁相环对频谱泄露的抑制能力。



(a) 电网电压
(a) Grid voltage

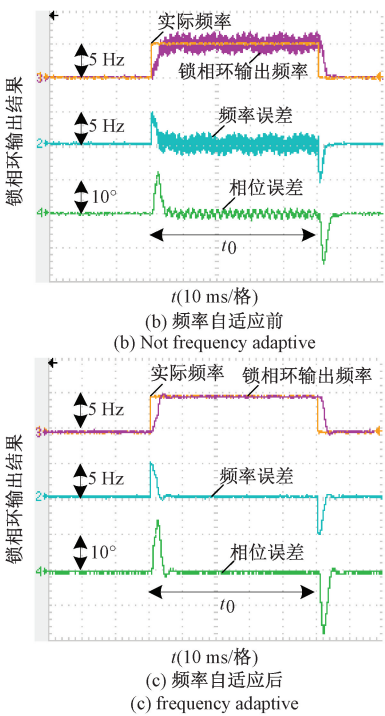


图 6 频率自适应前后波形对比

Fig. 6 Waveform comparison before and after frequency adaption

4 实验验证

4.1 各种电网电压条件下的锁相性能验证

为了验证本文所提 IDDSRF-PLL 的有效性以及在弱电网环境下的优越性,搭建了基于快速原型控制器 MT6016 和 Opal-rt 5600 数字控制器的实验平台。首先将 IDDSRF-PLL 模型载入到 MT6016,然后利用 Opal-rt 5600 数字控制器模拟电网电压不平衡突变、谐波注入、直流电压偏置以及频率偏移、相角突变等工况,并通过 AO 通道将此信号经转接板输入到 MT6016 中,最后经过本文所提锁相算法运算,通过 MT6016 控制器自备 AO 通道输出电网电压相位和频率信息,并与传统 DDSRF-PLL 进行比较,实验平台如图 7 所示。



图7 锁相环实验平台

Fig. 7 PLL experimental platform

1) 电网电压畸变。在三相对称电压中注入 0.15 pu 的 5 次负序谐波和 0.1 pu 的 7 次正序谐波,实验波形如图 8 所示。观察图 8(b)、(c)可知,本文所提锁相环能够完全消除电网背景谐波的干扰,而传统 DDSRF-PLL 锁相精度受谐波干扰严重,输出频率和相位均出现 300 Hz 振荡,与第 1 章理论分析一致;IDDSRF-PLL 输出频率几乎不受电网背景谐波的影响,输出相位误差小幅振荡一个工频周期后便能快速重新跟踪电网电压相位。实验结果表明,IDDSRF-PLL 与 DDSRF-PLL 相比具有更好的抗谐波干扰能力。

2) 三相电压幅值不平衡突变。三相电压幅值发生不

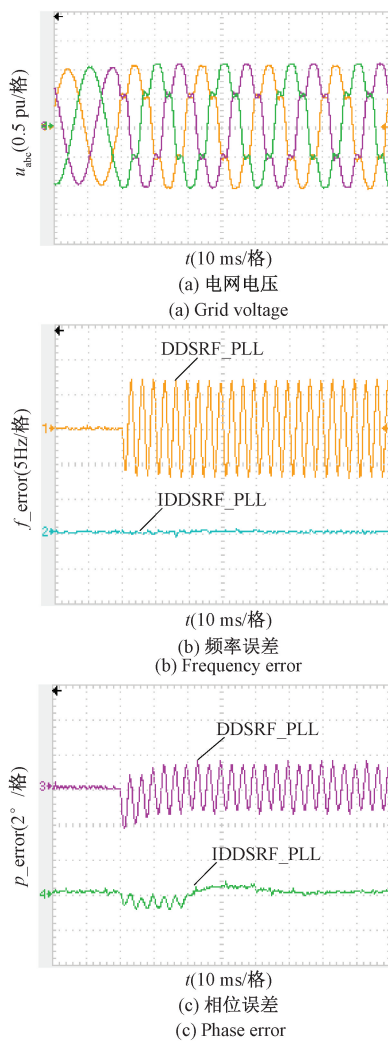


图8 谐波注入

Fig. 8 Harmonic injection

平衡突变,其中 $u_a = 1.2$ pu、 $u_b = 1.1$ pu、 $u_c = 0.9$ pu,实验波形如图 9 所示。观察图 9(b)、(c)可知,当发生三相电压幅值不平衡突变时,DDSRF-PLL 的输出频率和相位均出现波动,而 IDDSRF-PLL 的输出频率几乎不受影响,输出相位误差也在短时间内迅速归零。实验结果表明,在三相幅值不平衡突变工况下,IDDSRF-PLL 具有更好的性能。

3) 相角突变。三相电网电压相角突增 30° ,实验波形如图 10 所示。分析图 10(a)、(b)可知,DDSRF-PLL 输出频率误差峰值为 14 Hz,而本文所提 IDDSRF-PLL 输出频率误差峰值为 5 Hz,超调量较小;IDDSRF-PLL 输出相位误差峰值约为相位突变幅度的二分之一,高于 DDSRF-PLL,但是该误差能在短时间内快速归零,重新准确跟踪电网电压相位。

4) 频率突变。电网频率发生 +5 Hz 突变,实验波形如图 11 所示。分析图 11(a)、(b)可知,在频率突变工况

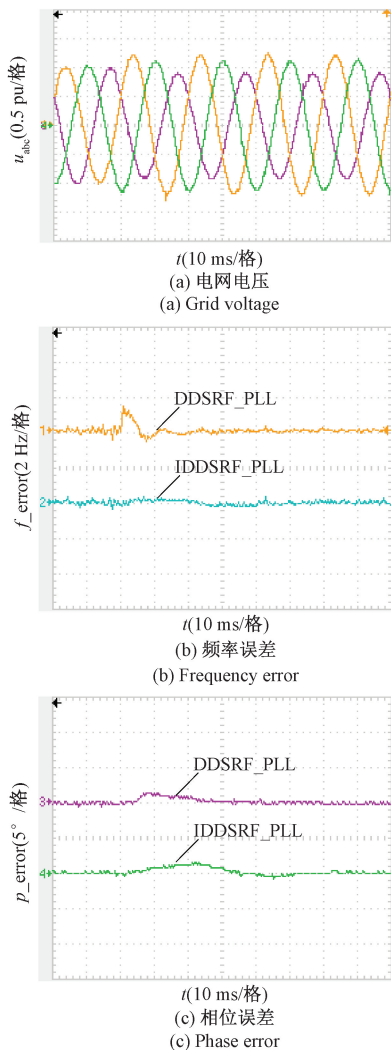


图 9 三相电压幅值不平衡突变

Fig. 9 Three-phase voltage imbalance magnitude mutant

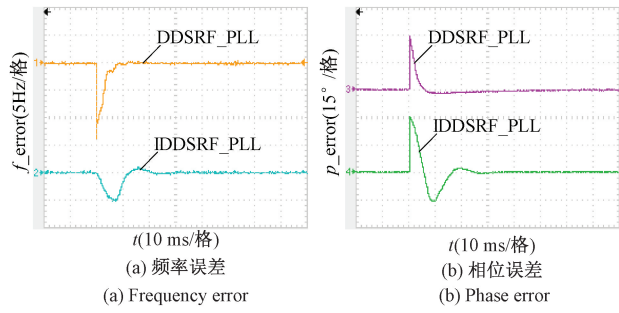


图 10 相位突变

Fig. 10 Phase mutation

下,两种锁相环的输出频率误差都能够在短时间内快速归零,但 IDDSRF-PLL 调节时间更短;DDSRF-PLL 输出相位误差峰值为 9° ,IDDSRF-PLL 输出相位误差峰值为 11.5° ,略大于 DDSRF-PLL,但 IDDSRF-PLL 误差归零时

间远远小于 DDSRF-PLL。实验结果表明,在频率偏移工况下,IDDSRF-PLL 与 DDSRF-PLL 相比具有更好的动态性能。

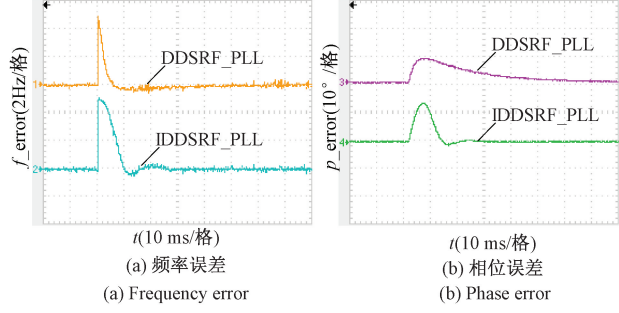


图 11 频率突变

Fig. 11 Frequency mutation

5) 直流电压偏置。向三相电网电压中分别注入+0.2、+0.1 和-0.1 pu 的直流电压,实验波形如图 12 所示。

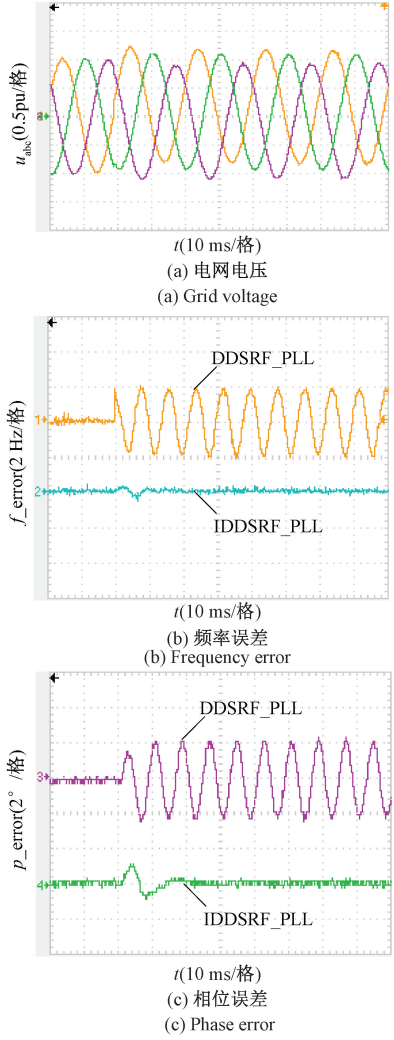


图 12 直流电压偏置

Fig. 12 Off-set of DC voltage

分析图 12(b)、(c) 可知,本文所提 IDDSRF-PLL 能够完全消除直流电压偏置的影响,而 DDSRF-PLL 因不具备抑制直流电压偏置干扰的能力,其锁相精度受直流电压偏置影响严重,输出频率和相位均出现基频 50 Hz 的振荡,与第 1 章理论分析一致;IDDSRF-PLL 输出频率几乎不受直流电压偏置的影响,输出相位误差小幅振荡一个工频周期后便迅速归零,重新跟踪电网电压相位。实验结果表明,本文所提 IDDSRF-PLL 与 DDSRF-PLL 相比具有更好的抗直流电压偏置干扰的能力。

4.2 弱电网环境下并网 STATCOM 工作性能验证

为了进一步验证所提锁相环在复杂弱电网环境下对并网逆变器工作性能的影响,搭建基于快速原型控制器 MT6016 和可编程电源的并网 STATCOM 原理样机,实验平台如图 13 所示。由可编程电源模拟弱电网,具体实验参数见表 2,在 $t=0$ 时向电网注入谐波电压,注入的谐波电压参数如表 3 所示。

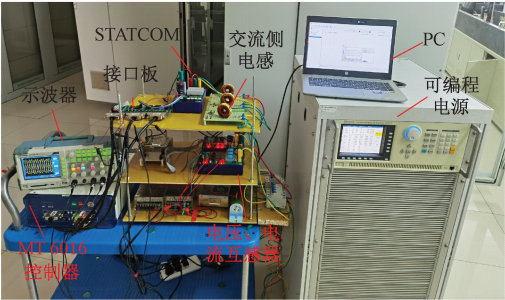


图 13 STATCOM 实验平台

Fig. 13 STATCOM experimental platform

表 2 实验平台参数

Table 2 Experimental platform parameters

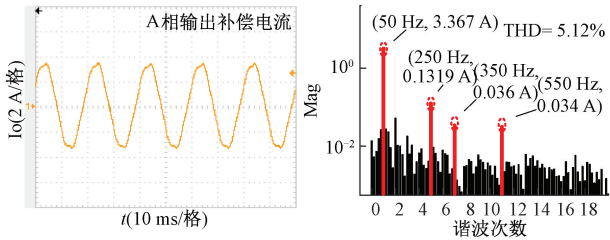
参数/单位	数值
三相电源电压 V_s/V	70
直流侧电压 V_{dc}/V	100
电网额定频率 f_g/Hz	50
STATCOM 交流侧滤波电感 L_c/mH	0.5
控制器采样频率 f_s/kHz	20
控制器控制周期 $T_s/\mu s$	50

表 3 电网电压参数

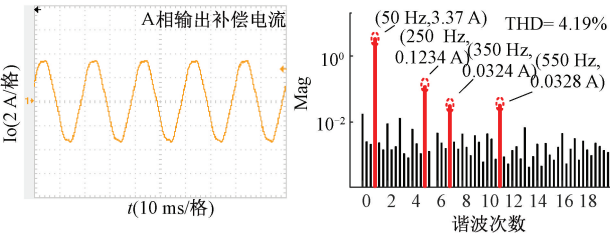
Table 3 Grid voltage parameters

电压成分	幅值/pu
基波电压正序分量	1
5 次谐波负序分量	0.1
7 次谐波正序分量	0.05
11 次谐波负序分量	0.05

为验证本文所提锁相环在复杂工况下对并网逆变器的影响,在设置三相电网电压畸变的同时令三相电压幅值不平衡,其中 $V_a=1\text{ pu}$ 、 $V_b=1.1\text{ pu}$ 、 $V_c=0.9\text{ pu}$,稳态工况下实验波形如图 14 所示。分析图 14 可知,采用 DDSRF-PLL 并网的 STATCOM 输出补偿电流 THD 为 5.12%,而采用 IDDSRF-PLL 并网的 STATCOM 输出补偿电流 THD 减少为 4.19%。实验结果表明,在复杂的弱电网环境下,本文所提的 IDDSRF-PLL 在一定程度上能够减少 STATCOM 输出补偿电流的谐波含量。



(a) 采用 DDSRF-PLL 并网
(a) Grid-connected with DDSRF-PLL



(b) 采用 IDDSRF-PLL 并网
(b) Grid-connected with IDDSRF-PLL

图 14 复杂扰动下 STATCOM 实验波形

Fig. 14 STATCOM experimental waveform under complex disturbance

5 结 论

本文通过对 DDSRF-PLL 的锁相误差进行理论分析,归纳出影响其锁相精度的主要因素,继而提出一种基于滑动傅里叶变换的频率自适应鉴相技术,并应用于 DDSRF-PLL 中。通过理论分析和实验得到以下结论:

- 1) 直流电压偏置和电网电压畸变是影响传统 DDSRF-PLL 锁相精度的主要因素,直流电压偏置对应锁相误差振荡频率为基频,而电网谐波的频次、相序也与锁相误差振荡频率存在固定映射关系,同时谐波幅值和直流偏置电压幅值直接影响锁相误差的大小。
- 2) 在电压不平衡突变工况下,本文所提 IDDSRF-PLL 保留了传统 DDSRF-PLL 的固有工作性能;针对电

网电压畸变以及直流电压偏置工况,由于采用了基于滑动傅里叶变换的频率自适应鉴相技术,IDDSRF-PLL能够完全消除谐波和直流电压偏置的干扰,提高了其在弱电网环境下的适用性,并且在相位突变和频率突变工况下也表现出良好的工作性能;在复杂工况下,与DDSRF-PLL相比,采用IDDSRF-PLL并网的STATCOM输出电流谐波含量更小。

参考文献

- [1] 马茜,汪玉婷. 基于QT1结构的三相增强型锁相环技术[J]. 电力自动化设备, 2020, 40(9): 35-46.
MA Q, PAN Y T. Three-phase enhanced PLL based on QT 1 structure [J]. Electric Power Automation Equipment, 2020, 40(9): 35-46.
- [2] TEZER T, YAMAN R, YAMAN G. Evaluation of approaches used for optimization of stand-alone hybrid renewable energy systems [J]. Renewable and Sustainable Energy Reviews, 2017, 73: 840-853.
- [3] 刘华吾, 孙永恒, 胡海兵, 等. 谐波畸变电网下的单相同步旋转坐标系锁相环[J]. 电力系统自动化, 2016, 40(13): 93-99.
LIU H W, SUN Y H, HU H B, et al. Single-phase synchronous reference frame phase-locked loop under harmonic distorted power grid condition [J]. Automation of Electric Power Systems, 2016, 40(13): 93-99.
- [4] JAALAM N, RAHIM N A, BAKAR A H A, et al. A comprehensive review of synchronization methods for grid-connected converters of renewable energy source[J]. Renewable and Sustainable Energy Reviews, 2016, 59: 1471-1481.
- [5] 杨才伟, 王剑, 游小杰, 等. 二阶广义积分器锁频环数字实现准确性对比[J]. 电工技术学报, 2019, 34(12): 2584-2596.
YANG C W, WANG J, YOU X J, et al. Accuracy comparison of digital implementation on the second-order generalized integrator frequency-locked loop [J]. Transactions of China Electrotechnical Society, 2019, 34(12): 2584-2596.
- [6] 回楠木, 王大志, 李云路. 复杂电网下基于双改进型SOGI的三相并网锁相环[J]. 仪器仪表学报, 2018, 39(4): 123-132.
HUI N M, WANG D ZH, LI Y L. Three-phase PLL based on complex power dual modified SOGI under complex power grid conditions [J]. Chinese Journal of Scientific Instrument, 2018, 39(4): 123-132.
- [7] RODRIGUEZ P, POU J, BERGAS J, et al. Decoupled double synchronous reference frame PLL for power converters control [J]. IEEE Transactions on Power Electronics, 2007, 20(2): 584-592.
- [8] 王佳浩, 潘欢, 纳春宁. 改进解耦双同步坐标系锁相环在谐波和电压不平衡下的性能[J]. 科学技术与工程, 2019, 19(13): 104-109.
WANG J H, PAN H, NA CH N. The performance of improved decoupled double synchronous reference frame PLL under harmonic and voltage unbalances [J]. Science Technology and Engineering, 2019, 19(13): 104-109.
- [9] 杨旭红, 郝鹏飞, 姚凤军, 等. 一种改进的锁相环用于抑制三相不平衡和直流偏移[J]. 科学技术与工程, 2020, 20(33): 13705-13711.
YANG X H, HAO P F, ZHAO F J, et al. An improved phase-locked loop for suppressing three-phase unbalance and direct current off-set [J]. Science Technology and Engineering, 2020, 20(33): 13705-13711.
- [10] 申永鹏, 郑竹风, 王耀南, 等. 基于PLL自适应滑模观测器的PMSM无传感器控制[J]. 电子测量与仪器学报, 2020, 34(8): 22-29.
SHEN Y P, ZHENG ZH F, WANG Y N, et al. Adaptive sliding mode observer based on PLL in sensorless control of PMSM [J]. Journal of Electronic Measurement and Instrumentation, 2020, 34(8): 22-29.
- [11] 刘文俊, 李学明, 陈志文, 等. 基于频率自适应PLL的传动系统牵引电机转速实时估计[J]. 电子测量与仪器报, 2020, 34(5): 157-164.
LIU W J, LI X M, CHEN ZH W, et al. Real-time estimation for traction motor speed of drive system based on PLL with adaptive frequency [J]. Journal of Electronic Measurement and Instrumentation, 2020, 34(5): 157-164.
- [12] XU J, QIAN Q, ZHANG B, et al. Harmonics and stability analysis of single-phase grid-connected inverters in distributed power generation systems considering phase-locked loop impact [J]. IEEE Transactions on Sustainable Energy, 2019, 10(3): 1470-1480.

- [13] 杨苓, 陈燕东, 陈智勇, 等. 弱电网下考虑锁相环影响的三相并网系统相角补偿控制方法[J]. 中国电机工程学报, 2018, 38(20): 6099-6109.
- YANG L, CHEN Y D, CHEN ZH Y, et al. The phase compensation control method considering the effect of phase locked loop for three-phase grid-connected system in the weak grid[J]. Proceedings of the CSEE, 2018, 38(20): 6099-6109.
- [14] 杨兵圆, 戴珂, 徐宏伟, 等. 稳态锁相误差对 SAPF 谐波抑制的影响[J]. 电力电子技术, 2020, 54(8): 11-14.
- YANG B Y, DAI K, XU H W, et al. Effects of steady-state error for phase-lock on harmonic suppression of SAPF[J]. Power Electronics, 2020, 54(8): 11-14.
- [15] RODRIGUEZ P, POU J, BERGAS J, et al. Decoupled double synchronous reference frame PLL for power converters control [J]. IEEE Transactions on Power Electronics, 2007, 22(2): 584-592.
- [16] CHUNG S K. A phase tracking system for three phase utility interface inverters [J]. IEEE Transactions on Power Electronics, 2000, 15 (3): 431-438.
- [17] SINGH K M. Simultaneous estimation of moving vibration parameters by sliding goertzel algorithm in PLL technique[J]. IEEE Transactions on Instrumentation and Measurement, 2019, 68(2): 334-343.

作者简介



陈继开, 2000 年于陕西科技大学 获得学士学位, 2007 年于兰州理工大学 获得硕士学位, 2011 年于哈尔滨工业大学获得博士学位, 现为东北电力大学教授, 主要研究方向为电能质量分析与控制、柔性直流输电技术等。

E-mail: chenjikai1977@163.com

Chen Jikai received his B. Sc. degree from Shaanxi University of Science & Technology in 2000, received his M. Sc. degree from Lanzhou University of Technology in 2007, and received his Ph. D. degree from Harbin Institute of Technology in 2011. He is currently a professor and a master advisor at Northeast Electric Power University. His main research interests include Power quality analysis and control, and MMC-HVDC.



李浩茹 (通信作者), 2002 年于哈尔滨工业大学获得学士学位, 2008 年于兰州理工大学获得硕士学位, 现为东北电力大学讲师, 研究方向为电能质量分析与控制。

E-mail: lihaoru@neepu.edu.cn

Li Haoru (Corresponding author) received her B. Sc. degree from Harbin Institute of Technology in 2002, and received her M. Sc. degree from Lanzhou University of Technology in 2008. She is currently an lecturer in Electrical Engineering College at Northeast Electric Power University. Her main research interests include power quality analysis and control.