DOI: 10. 19650/j. cnki. cjsi. J2108323

基于国产 ADC 芯片的 TIADC 系统时间误差 自适应校准算法*

崔文涛,李 杰,张德彪,薛璐瑶

(中北大学电子测试技术重点实验室 太原 030051)

摘 要:武器及其测试系统的高精度与国产化是我们国家现在不得不面对的严峻问题,当数据采集系统的采样率达到 GSPS 量级时,目前的国产 ADC 芯片很难达到,因此在不降低采样精度的前提下,提出多片 ADC 进行阵列化采样的方法提高系统的采 样率。针对 TIADC 系统存在的通道失配问题,提出了基于一阶统计量的自适应误差估计算法与改进 Farrow 时延滤波器的校正 方法,并对 4 通道 TIADC 系统的时间误差估计提出新的估计策略。仿真与实验结果表明,该算法能够对时间失配误差进行精确估计,同时能够有效地抑制杂散分量,相比校正前的数据,无杂散动态范围提高 20 dB,对解决高速高精度数据采集装备国产 化问题具有重要的现实意义。

TIADC system time error adaptive calibration algorithm based on domestic ADC chip

Cui Wentao, Li Jie, Zhang Debiao, Xue Luyao

(Science and Technology on Electronic Test & Measurement Laboratory, North University of China, Taiyuan 030051, China)

Abstract: The high precision and localization of weapons and their test systems are the serious problems that our country has to face. When the sampling rate of the data acquisition system reaches the GSPS level, current domestic ADC chips are hardly applicable. Therefore, under the prerequisite of not reducing sampling accuracy, a method of array sampling with multiple ADCs is proposed to improve the sampling rate of the system. Aiming at the channel mismatch problem existing in TIADC systems, an adaptive error estimation algorithm based on first-order statistics and correction method of improved Farrow time delay filter is proposed, and a new estimation strategy for the time error estimation of the 4-channel TIADC system is proposed. Simulation and experiment results show that the algorithm can accurately estimate the time mismatch error and effectively suppress spurious components. Compared with the data before correction, the spurious-free dynamic range is increased by 20 dB. The proposed method has important practical significance for solving the localization issue of high-speed and high-precision data acquisition equipment.

Keywords: domestic ADC chip; time interleaved sampling; adaptive calibration; estimation strategy; Lagrangian interpolation; improved Farrow delay filter

0 引 言

高速高精度的数据采集技术在电磁频谱监测、精确 制导、测试仪器、卫星通信、软件无线电、雷达以及图像采 集等领域应用广泛,整个社会尤其是前沿应用方面对高 速高精度的数据采集需求迫切,具有非常重要战略地位。 根据目前市场上的资料来看,高性能 ADC (analog to digital converter)不断涌现,例如美国的 TI (texas instruments)公司的 AD12DJ3200 在12 位分辨率与8 GHz 的高带宽情况下可以实现高达 6.4 GSPS 的采样率。但 是,面对高达数 GSPS 量级的采样率,国产高性能数据采

*基金项目:国家自然科学基金(61973280)、国家自然科学基金青年基金(62003316)、中国博士后基金(2019M661069)项目资助

收稿日期:2021-07-27 Received Date: 2021-07-27

集系统性能却因为高端 ADC 芯片的严格禁运与技术封锁而受到限制。因此,我们只能使用国产 ADC 芯片达到高精度高采样率的要求。

由于国内集成电路工艺的限制,国产模数转换器的 精度指标较差,难以支撑高速采集系统在采样率和分辨 率上的要求。为了突破单个 ADC 芯片性能的限制,研究 了一种通过多 ADC 阵列结构实现高速高精度采样的技 术途径。TIADC(time-interleaved ADCs)结构的引入,解 决了高采样率和高精度的矛盾,但同时也给系统引入了 失配误差。由于制造工艺上的限制,时间交替模数转换 器的性能受到信道不匹配的影响,各 ADC 通道之间的偏 置、增益和时钟相位存在各种各样的偏差,使得信号采样 存在着非均匀性,导致输出信号出现杂散分量,严重影响 ADC 的信噪比(signal to noise ratio, SNR)和无杂散动态 范围(spurious free dynamic range, SFDR)性能,降低了有 效位数(effective number of bits, ENOB)。

针对 TIADC 系统的失配误差校准问题^[1]进行了大 量的文献研究,主要有前台校准算法,其速度快,校准精 度高,但是不能针对环境变化带来的误差进行改变,应用 场合有限^[2];而基于自适应的盲均衡校准算法,其只适用 于低频信号,硬件实现性较差;还有引入参考通道的校准 算法,除了需要引入额外的通道外,其收敛速度与 ADC 精度有关,精度较低;基于注入参考信号的校准方法,其 对参考信号的质量要求很高,而基于模拟,模数结合的校 准算法不仅需要增加模拟电路,还容易受到器件与环境 因素的影响。

有的利用正弦拟合算法获取各通道实际的相位参数与 利用插值获得各通道的标准相位做差获取时间误差^[3]。文 献[4]提出了一种基于完美重构理论的全数字校正方法,但 是当输入信号频率增大后其采样精度不足。文献[5]提出了 一种利用过采样来保证信号与噪声独立性的新算法,从时序 倾斜误差对 TIADC 信号的影响和过采样假设的重新定义出 发,提出了一种利用调制概念的新结构。

在时间误差补偿时由于很难精确控制每个通道的采 样时钟的延时,因此成为误差校正的难点^[6]。常见的补 偿方法是利用锁相环进行延时调整,但是针对高采样率 下的 ps 级别的精度,往往很难达到。本文采用 Farrow 延 时滤波器逼近全通滤波器来补偿时间误差,可以有效解 决这个问题。

本文采用4片 ADC 芯片与 FPGA(field programmable gate array)搭建了以时间交替并行采集为核心的系统。 概述介绍了偏置失配、增益失调和时间失配这3种主要 失配机制,在文献[7]基础上对系统影响最大的时间误 差的估计校准提出了基于一阶统计量的时间误差估计的 自适应算法与相应的估计策略,并使用改进 Farrow 延时 滤波器校正方法。自适应算法在 TIADC 系统误差估计 和补偿方面有独特的优势,最大程度降低了硬件消耗,最 后通过实验仿真,验证了算法的有效性。

1 TIADC 采集原理

TIADC 通过使用多片 ADC 交替采样完成对同一信 号源的模数转换,由此可以实现 N 倍采样率的提高,并且 保持与子通道 ADC 相同的分辨率^[8]。TIADC 原理图如 图 1 所示,每个 ADC 在采样率和分辨率都相同的情况下 将模拟信号量化为数字信号^[9],唯一的不同在于采样时 钟的相位,对于 N 个 ADC 而言,相邻 ADS 的采样时钟相 位之差为 2 π/N ,同一模拟信号由 N 片 ADC 同时并行采 集,之后由控制器按照采样的顺序进行拼合重构得到完 整的数字量。





我们可以从理论方面对其进行分析。在不考虑通道 失配的情况下,假设系统的采样周期为 *T_s*,则单个 ADC 的采样周期为 *NT_s*,时域采样等于模模拟信号乘以脉冲 序列^[10],则第 *K* 片 ADC 的采样脉冲表达式为:

$$p_{k}(t) = \sum_{n=-\infty}^{\infty} \delta(t - nNT_{s} - NT_{s})$$
(1)
经过采样之后,该 ADC 通道的输出信号为:

$$y_k(t) = x(t) \cdot p_k(t) \tag{2}$$

对于整个通道的采集来说,经过 N 个 ADC 的交替采 样,最终得到输出为:

$$y(t) = \sum_{k=0}^{N-1} y_k(t) = \sum_{n=-\infty}^{\infty} x\left(\frac{nT_s}{N}\right) \cdot \delta\left(t - \frac{nT_s}{N}\right)$$
(3)

在频域内的频谱可以由时域表达式经过傅里叶变换 之后与冲击序列频谱卷积得到:

$$Y_{k}(j\Omega) = \frac{1}{2\pi} [X(j\Omega) * P_{k}(j\Omega)]$$
(4)

$$Y(j\Omega) = \sum_{n=0}^{N-1} Y_k(j\Omega) = \frac{1}{NT_{s^2}} \sum_{n=-\infty}^{\infty} X\left(j\left(\Omega - Z\frac{\Omega_s}{N}\right)\right) \cdot \sum_{n=0}^{N-1} e^{-jm\frac{2\pi}{N}}$$
(5)

在式子中存在复指数累加项,有其特点:

$$\sum_{n=0}^{N-1} e^{-\frac{z^2\pi}{N}} = \begin{cases} N, & z = lN\\ 0, & z \neq lN \end{cases}$$
(6)

将式子(6)带入式(5),可以得到 TIADC 整个系统的 输出为:

$$Y(j\Omega) = \frac{1}{T_s} \sum_{l=-\infty}^{\infty} X(j(\Omega - l\Omega_s))$$
(7)

由此我们可以发现,相对于单个 ADC 的采样周期 NT_s,整个系统的采样周期为 T_s,在不影响单个 ADC 的采 样精度情况下,实现了 N 倍采样率的提升。

2 TIADC 系统失配与建模分析

2.1 增益失配误差

通道的增益误差源自于调理电路前端的功率分割器 与运算放大器引入以及 ADC 的参考电压等内部模拟电 路造成,最终使得采样的模拟信号有不同的放大与衰减 倍,增益误差的来源如图 2 所示。同时各个 ADC 的增益 系数也可能不同,我们在模型中等效为系数固定的乘法 器,第 k 通道的系数 gk 由式(8)计算得出。

$$g_k = \frac{\Delta G}{G_{ref}} = \frac{G_k - G_{ref}}{G_{ref}}$$
(8)



2.2 偏置失配误差

通道的偏置失配误差指的是采样结果与实际信号 出现上移或下移的情况,出现偏离实际输入信号,通道 的偏置误差如图 3 所示。通常我们通过加法器使每个 ADC 具有相同的偏置值,最后进行校正消除。在模型 中可以等效为固定偏移加法器,第 k 通道的偏置失配 o_k定义为:

$$o_k = o_k - o_{ref} \tag{9}$$

2.3 时间失配误差

通道的时间失配误差也称作延时误差,如图 4 所示。 通常是由于模拟输入信号在模拟芯片的作用下使得在进 入 ADC 之间无法保持精确的采样相位,以及不同 ADC 由于采样时钟相位的偏差,造成实际采样时刻与理想采



样时刻不同,在输出频谱上表现为特定位置的杂散。根据它们所造成的影响,最终可以获得如图所示的模型,等 效为延时器,时间误差为 Δt₄。



3 校准原理

对于失调和增益失配,由于其引入了直流项和增益 积项,可以用直流输入参考信号进行估计,并在数字域用 加法器和乘法器进行校正。但是时间偏移引起的误差与 输入信号有关,随着输入频率的增加而增大,很难进行测 量与标定。因此本文重点关注时序误差估计与校准,在 假设偏置和增益误差已经校正的情况下,提出基于多通 道并行一阶统计量的时间误差自适应估计在 TIADC 中 的时间失配误差,再通过基于拉格朗日插值的改进 Farrow 结构的分数延迟滤波器对时间误差进行校正,改 进 TIADC 系统模型如图 5 所示。与其他类似算法相比, 本算法可以更小的时间开销和计算开销内实现系统时间 失配误差消除。

3.1 基于一阶统计量的时间误差自适应估计

对于4片 ADC 组成的 TIADC 采集系统,我们可建立 如图 6 所示模型。4 片 ADC 的采样结果分别为 $a_1[n]$, $a_2[n]$, $a_3[n]$, $a_4[n]$, 在理想情况下,相邻 ADC 之间的 时钟相位之差为 $\frac{\pi}{2}$, 采样时间间隔为 T_s ,但是由于时间 失配,导致出现相位偏差,采样时间间隔不均匀^[10],理想

 Δt



图 5 改进 TIADC 系统模型 Fig. 5 Improved TIADC system model



图 6 四通道时间误差模型 Fig. 6 Four-channel time error model

采样点与实际采样点存在 Δt 的偏移。

如图 7 所示,我们首先选择 ADC1 作为参考通道,其 余 ADC 作为被校准通道。在进行估计时,要保证待估计 通道位于参考信号的相位中心,先估计 ADC3,结果出来 后,可以以 ADC1 与 ADC3 为参考通道,同时计算 ADC2 与 ADC4 的误差,这种并行处理的方式可以提高计算的 速度。这里以估计 ADC3 的时间误差为例。



图 7 时间误差估计策略 Fig. 7 Time error estimation strategy

记 ADC1 的相邻两个采样点为 $a_{ref1}[n] = a_1[n]$, $a_{ref2}[n] = a_1[n + 1]$,待校正的 ADC3 的采样点为 $a_3[n]$,理想的采样点为 $\hat{a}_3[n]$ 。

这里需要定义出两个误差序列:

$$\begin{cases} e_1[n] = a_3[n] - a_{ref1}[n] \\ e_2[n] = a_3[n] - a_{ref2}[n] \end{cases}$$
(10)

当不存在偏差时, *E*(| *e*₁|) = *E*(| *e*₂|)。当存在非 均匀采样时根据泰勒定理,连续信号上邻域的幅度可由 时间表示,可得到下式:

$$\Delta x = x(t + \Delta t) - x(t) = \sum_{k=1}^{\infty} \frac{1}{k!} (\Delta t)^k x^k(t) \approx x'(t)$$
(11)

同样的在连续时间函数中,得到误差:

$$\begin{cases} e_1 = (2T_s + \Delta t) \cdot x'_{refl}(t) \\ e_2 = (2T_s - \Delta t) \cdot x'(t) \end{cases}$$
(12)

防后计算两个误差的绝对值的期望,得到.

 $(E(| \cdot (\cdot) |) = (2T + \Lambda \cdot E(| \cdot (\cdot) |))$

$$E(|e_{1}(t)|) - (2T_{s} + \Delta t) \cdot E(|x_{ref1}(t)|)$$

$$E(|e_{2}(t)|) = (2T_{s} - \Delta t) \cdot E(|x'(t)|)$$
(13)

由于我们输入的信号为周期信号,并且满足奈奎斯 特采样定理,具有零平均的特性,所以采样结果的期望值 为常数,且导数也是如此。因此有:

$$E(|x'_{refl}(t)|) = E(|x'(t)|) = A$$
 (14)
由此得到:

 $P = E(|e_1(t)|) - E(|e_2(t)|) = 2 A\Delta t$ (15)

当采样点数满足一定条件时,采样后的信号与原始 信号在统计意义上等同。由此我们得到估计时间误差的 函数关系:

$$P = E(|e_1[n]|) - E(|e_2[n]|) = 2 A\Delta t$$
 (16)
基于以上存在的函数关系,通过自适应迭代算法对
进行误差快速估计:

$$W(k) = \frac{1}{N} \sum_{n=1}^{N} \left(\left| e_1(n) \right| - \left| e_2(n) \right| \right)$$
(17)

$$R(k+1) = R(k) - d \cdot W(k) \tag{18}$$

$$\frac{R(k+1) - R(k)}{R(k)} < y$$
(19)

其中, R(k), R(k+1)表示第k与k+1次的时间误差估计结果, 且 R(0) = 0, d表示步进的大小, 取值范围为(0,1), y为算法精度, 当满足式(19)时, 迭代结束。每次循环时将误差估计结果送至相位校正模块, 作为延时滤波器的系数。

3.2 基于改进并行 Farrow 分数延时滤波器校准方法

对于只含有时间失配误差 *M* 通道的 TIADC 系统来说,其输出进行傅里叶变换可表示为:

$$Y(\boldsymbol{\omega}) = \frac{1}{MT_s} \sum_{i=0}^{M-1} \sum_{k=-\infty}^{\infty} X\left(\boldsymbol{\omega} - k \frac{\boldsymbol{\omega}_s}{M}\right) e^{-j(\boldsymbol{w}-k(\boldsymbol{\omega}_s/M))aT_s} e^{-jki2\pi/M}$$
(20)

离散傅里叶变换为:

$$Y(\omega) = \frac{1}{MT_s} \sum_{i=0}^{M-1} \sum_{k=-\infty}^{\infty} 2\pi \delta \left(\omega - \omega_0 - k \frac{\omega_s}{M} \right) e^{-j\omega_0 a T_s} e^{-jki2\pi/M}$$
(21)

其中,a为时间估计误差 $\Delta t/T_s$,当在式(21) 乘上理

想频率响应为 e^{ioor,} 的全通滤波器时就可以消除时间失 配带来的误差。由于全通滤波器的系数是无限的,使用 FPGA 实现过程中几乎是不可能的,虽然采用加窗函数 的方法求滤波器的系数,但是由于时间老化与使用环境 的变化,滤波器的系数,但是由于时间老化与使用环境 的变化,滤波器的系数也会随之改变,因此,该方法在硬 件实现方面还有待提高。为解决这个问题,本文采用数 字延时链的方法,即用 FIR(finite impulse response)滤波 器对全通滤波器的无限长冲激响应进行逼近^[11],再利用 拉格朗日插值法将滤波器系数按照同类项进行合并^[12], 将整个滤波器分成多个子滤波器,先计算子滤波器的系 数,再按照同类项的次数高低依次乘上子滤波器的输出, 然后累加完成可变系数滤波器的功能。

Farrow 分数延迟滤波器^[13]的传递函数为:

$$H_{a}(Z) = \sum_{n=0}^{N} h_{a}(n) z^{-n}$$
(22)

FIR 滤波器的每个系数用 p 阶多项式逼近,则:

$$h_{a}(n) = \sum_{m=0}^{p} c_{m}(n) \left(\frac{\Delta t}{T_{s}}\right)^{m}$$

$$(23)$$

$$H_{a}(z) = \sum_{n=0}^{m} \left(\sum_{m=0}^{p} c_{p}(n) \left(\frac{\Delta t}{T_{s}} \right)^{m} \right) z^{-n} = \sum_{m=0}^{p} C_{p}(z) \left(\frac{\Delta t}{T_{s}} \right)^{m}$$
(24)

其中, $C_p(z)$ 为 Farrow 结构滤波器的系数,在实际应用中,一般取 p=3-5 即可满足精度要求。据 $C_p(z)$ 的内部结构如图 8 所示。





该结构最大的优点是当估计误差值发生改变时,由于滤波器的结构和系数与采样信号的相位误差大小无关,所以不需要重新计算,只需要改变 *a* 的大小。Farrow 滤波器的系数利用拉格朗日内插算法计算得到^[14]。对于 *N* 阶 Farrow 结构滤波器的拉格朗日插值公式如下:

$$H_{k}(a) = H_{k}(MT_{s} + aT_{s}) = \prod_{N} \left(\frac{a-l}{k-l}\right), 0 \le k \le N \quad (25)$$

经过插值滤波之后的输出为:

$$x(n) = \sum_{k=0}^{N} \prod_{N} \left(\frac{a-l}{k-l} \right) x(n-k)$$
 (26)

按 a 进行合并同类项, 通过化简就可得到滤波器的 系数。以 4 片 ADC 交替采样为例, 推导其 Farrow 的系数 式(27)所示。

$$\begin{aligned} x_{cut}(n) &= \sum_{k=0}^{4} \prod_{4} \left(\frac{a-l}{k-l}\right) x(n-k) = \\ \frac{(a-1)(a-2)(a-3)(a-4)}{24} x(n) + \\ \frac{a(a-2)(a-3)(a-4)}{-6} x(n-1) + \\ \frac{a(a-1)(a-3)(a-4)}{4} x(n-2) + \\ \frac{a(a-1)(a-2)(a-4)}{-6} x(n-3) + \\ \frac{a(a-1)(a-2)(a-4)}{-6} x(n-4) \\ \frac{a(a-1)(a-2)(a-3)}{24} x(n-4) \\ \frac{a(a-1)(a-2)(a-4)}{24} x(n$$

因此可得滤波器的系数。由于 TIADC 分时采样,误 差估计也是依次提取,因此可以利用 Farrow 滤波器多次 复用,减少资源浪费,其原理结构如图9所示。



Fig. 9 Parallel improved Farrow filteram

该滤波器结构简单,整个滤波器结构为 k+1 个直接型的 FIR 滤波器与延迟量 a 相乘后相加,占用资源 少^[15],再结合文中提出的时间误差估计策略相比文献[16],进一步节省硬件资源。

4 仿真与实验结果分析

4.1 仿真实验

实验基于 MATLAB 仿真平台,构建一个 TIADC 系统 来验证算法的可行性。使用 MATLAB 产生一个采样率 $f_s = 4$ GHz 的 4 通道 TIADC 系统,每通道采样率为 1 GHz。参数设置为 $f_s = 4$ GS/s, $N = 12, M = 4, o_k = 0,$ $g_k = 0, \Delta t_k/T_s = 0.12$,滤波器阶数为 8 阶。文本不考虑 非线性误差。所有的实验都是在 MATLAB (R2016a, Win64) 中执行。

为验证时间误差估计算法的准确性与收敛速度。设 定时间失配误差从 0.01 到 0.8,以通道 3 为例,得到如 图 10 所示的仿真结果。



由图 10 可知,通过误差值的估计值与实际的失配误 差进行比较,当时间误差在 0.5 的范围内时可以实现较 为精准的估计,在 0.5~0.8 的范围内时与理想值偏差 较大。

在设定时间误差的迭代步长 $\mu = 2^{-10}$,滤波器长度 8 阶,输入频率为 500 MHz 的正弦信号,利用本文算法对 时间失配误差进行自适应估计,仿真结果如图 11 所示。 算法在估计过程中仅仅需要迭代 20 次左右即可得到设 定的误差值,能够实现快速迭代。

为验证本文提出的误差估计与校正算法对不同输入 频率信号的校正效果,用 MATLAB 软件进行仿真测试, 用无杂散动态范围 SFDR 这一动态性能指标进行衡量, 仿真结果如图 12 所示。

对系统输入不同频率的信号,且在满足第一奈奎斯 特域时,在总体可有效提高系统的动态性能,并且在频率 较低时,其校正效果最佳,SFDR在70dB左右。



4.2 测试实验结果

根据文中提出的方法设计出 4 通道 TIADC 数据采 集系统,系统分辨率为 12 bit,每个通道的采样率为 500 MSPS,整个数据采集系统的采样率为 2 GSPS,4 通道 TIADC 系统的验证硬件如图 13 所示。

本次实验利用射频信号源输出一个幅度为 1V_{pp},频 率为 500 MHz 的正弦波信号。在进行实验之前,先对系 统的偏置误差与增益误差做出校正,然后再做两次对比 试验。第一次实验将试验数据直接拼接,第二次实验将 采到的数据经过误差估计与校正后进行拼接。实验数据 通过 MATLAB 软件进行傅里叶变换,得到如图 14,15 所 示的频谱图。

从图 14,15 可以看出,未校正之前,在 0.8,1.6, 1.8 GHz 处存在由时间失配误差引起的杂散频谱线。通过 校正后,3 处的频谱幅度误差被完全消除,由时间误差引起的 杂散频谱线得到了明显的抑止,验证了算法的有效性。



图 13 4 通道 TIADC 的硬件系统 Fig. 13 Hardware system of the four-channel TIADC









5 结 论

本文针对 12 位高精度国产 ADC 在高速采集系统中 采样率不足的问题,提出使用时间交替采样的 TIADC 方 式,在不降低采样精度的情况下,将采集系统的采样率提 高至 2 GHz,并针对 TIADC 系统存在的通道失配误差进 行分析,对影响采集精度最大的时间失配误差提出了基 于一阶统计量的时间误差自适应估计算法,并结合拉格 朗日插值的 Farrow 时延滤波器对时间误差进行实时校 正。详尽的理论分析与充分的仿真与实验表明,在该算 法的作用下,时间误差被明显消除,提高了系统的信噪比 和杂散动态范围,在实现的过程中,与传统的复杂校准方 法相比,对硬件的资源消耗大大减少。

参考文献

- [1] 杨扩军,田书林,蒋俊,等. 基于 TIADC 的 20 GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014,35(4): 841-849.
 YANG K J, TIAN SH L, JIANG J, et al. 20 GS/s high speed data acquisition system based on TIADC [J]. Chinese Journal of Scientific Instrument, 2014,35(4): 841-849.
- [2] BEHZAD R. Design considerations for interleaved ADCS[J]. Journal of Solid-State Circuits, IEEE 2013, 48(8):1806-1817.
- [3] 张昊,师奕兵,王志刚.时间交替 ADc 通道失配误差的 LSM 法估计[J]. 仪器仪表学报,2010.31(5):1161-1166.

ZHANG H, SHI Y B, WANG ZH G. LSM method estimation of mismatch error of ADc channel with time alternation[J]. Chinese Journal of Scientific Instrument, 2010, 31(5): 1161-1166.

- [4] JIANG Z Y, ZHAO L, GAO X SH, et al. Mismatch error correction for time interleaved analog-to-digital converter over a wide frequency range [J]. Review of Scientific Instruments, 2018, 89(8):084709-1-084709-9.
- [5] KHAKPOUR A, KARIMIAN G. A new fast convergent blind timing skew error correction structure for TIADC[J]. IEEE Transactions on Circuits and Systems II-Express Briefs, 2021, 68(4): 1512-1516.
- [6] ABBASZADEH A, AGHDAM E N, ROSADO-MUNOZ A, et al. Digital background calibration algorithm and its FPGA implementation for timing mismatch correction of time-interleaved ADC[J]. Analog Integrated Circuits and Signal Processing, 2019, 99(2):299-310.
- [7] 高舰.基于阵列采样的宽带信号高精度获取技术研

究[D]. 四川:电子科技大学,2020.

GAO J. Research on high-precision acquisition technology of broadband signals based on array sampling [D]. Sichuan: University of Electronic Science and Technology, 2020.

- [8] CHEN S, WANG L, ZHANG H, et al. All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters [J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25 (9): 2552-2560.
- [9] 刘艳茹.并行 ADC 采样通道失配误差的一种实时估 计及校正方法研究[D].四川:电子科技大学,2010.
 LIU Y R. Research on a real-time estimation and correction method of parallel ADC sampling channel mismatch error [D]. Sichuan: University of Electronic Science and Technology of China, 2010.
- [10] GAO J, YE P, ZENG H, et al. An adaptive calibration technique of timing skew mismatch in time-interleaved analog-to-digital converters [J]. Review of Scientific Instruments, 2019, 90(2):025102-1-025102-9.
- [11] QIU Y T, LIU Y J, ZHOU J, et al. All-digital blind background calibration technique for any channel timeinterleaved ADC [J]. IEEE Trans. Circuits Syst. I Regul. Pap. 2018, 65: 2503-2514.
- [12] 陈红梅. 高速时间交织模数转换器数字校准技术研究[D]. 合肥:中国科学技术大学,2017.
 CHEN H M. Research on digital calibration technology of high-speed time-interleaved analog-to-digital converter [D]. Hefei: University of Science and Technology of China, 2017.
- [13] 白旭,韦雪洁,胡辉,等. TIADC 系统误差自适应估计及补偿方法[J]. 电子测量与仪器学报,2017,31(12):1953-1959.

BAI X, WEI X J, HU H, et al. TIADC system error adaptive estimation and compensation method [J]. Journal of Electronic Measurement and Instrumentation, 2017, 31(12): 1953-1959.

[14] 甘伟旺,李智. 并行交替高速数字化仪的研究与设计[J]. 现代电子技术,2016,39(23):78-82,85.
GAN W W, LI ZH. Research and design of parallel alternating high-speed digitizer [J]. Modern Electronic

Technology, 2016, 39(23): 78-82, 85.

- [15] GUO L P, TIAN SH L, JIANG J. Estimation of channel mismatches in time-interleaved analog-to-digital converters based on fractional delay and sine curve fitting[J]. Review of Scientific Instruments, 2015, 86(3):034713-1-034713-6.
- [16] ZENG H, YE P, WEI W T, et al. Real-time selfadaptive calibration method for high speed acquisition system [J]. Review of Scientific Instruments, 2019, 90(1):015118-1015118-13.

作者简介



崔文涛,2019年于中北大学获得学士学 位,现为中北大学硕士研究生,主要研究方 向为高速数据采集与存储、微惯性系统集成 方向研究。

E-mail: cwt2020666@163.com

Cui Wentao obtained a bachelor degree

from North University of China in 2019, and is currently a master student in North University of China. His main research direction is high-speed data acquisition and storage, and micro-inertial system integration.



李杰(通信作者),1999 年获华北工学院电气技术专业工学学士学位,2002 年获华北工学院控制理论与控制工程专业工学硕士学位,2005 年获北京理工大学导航、制导与控制专业工学博士学位,现为中北大学仪器与电子学院副院长、教授、博士生导师,主

要研究方向为微系统集成理论与技术、惯性感知与控制技术、组合导航理论。

E-mail: Lijie@ nuc. edu. cn

Li Jie (Corresponding author) received a bachelor degree in electrical technology in 1999 and master degree in control theory and control engineering in 2002 both from North China Institute of Technology, and received a Ph. D. in navigation, guidance and control from Beijing Institute of Technology in 2005. Currently, he is a professor, doctoral supervisor and the deputy dean of School of Instrumentation and Electronics, North University of China. His main research directions are microsystem integration theory and technology, inertial perception and control technology, integrated navigation theory.